

**FAMÍLIA DE RETIFICADORES PWM UNIDIRECIONAIS
TRÊS-NÍVEIS HÍBRIDOS A CAPACITOR CHAVEADO COM
ELEVADO FATOR DE POTÊNCIA**

Daniel Flores Cortez

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

Daniel Flores Cortez

**FAMÍLIA DE RETIFICADORES PWM
UNIDIRECIONAIS TRÊS-NÍVEIS HÍBRIDOS A
CAPACITOR CHAVEADO COM ELEVADO
FATOR DE POTÊNCIA**

Florianópolis
2015.

Daniel Flores Cortez

**FAMÍLIA DE RETIFICADORES PWM
UNIDIRECIONAIS TRÊS-NÍVEIS HÍBRIDOS A
CAPACITOR CHAVEADO COM ELEVADO
FATOR DE POTÊNCIA**

Tese submetida ao programa de Pós-graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina para obtenção do grau de Doutor em Engenharia Elétrica.

Orientador: Prof. Ivo Barbi, Dr. Ing.

Florianópolis
2015.

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitaria da UFSC.

Cortez, Daniel

Família de retificadores PWM unidirecionais
três-níveis híbridos a capacitor chaveado com
elevado fator de potência / Daniel Cortez;
orientador, Ivo Barbi - Florianópolis,
SC, 2015.

252 p.

Tese (doutorado) - Universidade Federal de Santa
Catarina, Centro Tecnológico. Programa de Pós-graduação
em Engenharia Elétrica.

Inclui referências

1. Engenharia Elétrica. 2. Eletrônica de Potência. 3.
Correção de Fator de Potência. 4. Alto Ganho de Tensão.
I. Barbi, Ivo. II. Universidade Federal de Santa
Catarina. Programa de Pós-graduação em Engenharia
Elétrica. III. Título.

Daniel Flores Cortez

**FAMÍLIA DE RETIFICADORES PWM
UNIDIRECIONAIS TRÊS-NÍVEIS HÍBRIDOS A
CAPACITOR CHAVEADO COM ELEVADO
FATOR DE POTÊNCIA**

Esta Tese foi julgada aprovada para a obtenção do Título de Doutor em Engenharia Elétrica, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica.

Florianópolis, 20 de fevereiro de 2015.

Prof. Carlos Galup Montoro
Coordenador do programa de Pós Graduação em Engenharia
Elétrica

Prof. Ivo Barbi
Orientador

Banca Examinadora:

Prof. Roger Gules, Dr.

Prof. Romeu Hausmann, Dr.

Prof. Clóvis Antônio Petry, Dr.

Prof. Cassiano Rech, Dr.

Prof. Daniel Juan Pagano, Dr.

A Deus
À minha família

AGRADECIMENTOS

Ao meu orientador e professor, Ivo Barbi, pela orientação, pelas sugestões, críticas e confiança em meu potencial. Pelo belo exemplo de pesquisador.

Aos professores membros da banca examinadora, Roger Gules, Romeu Hausmann, Clóvis Antônio Petry, Cassiano Rech, Daniel Juan Pagano, pelos comentários, críticas e correções.

Aos professores do INEP, em especial à Denizar Cruz Martins, pelo financiamento de alguns dos componentes do protótipo experimental.

Aos colegas e amigos do INEP, André Fuerback, André Gutierrez Andreta, Antonio Jose Bento Bottion, Bruno S. Dupczak, Daniel Augusto F. Collier, Eduardo Valmir de Souza, Francieli Lima de Sá, Francisco José Barbosa de Brito Júnior, Jackson Lago, Jacon Luis de Oliveira, Joabel Moia, Luis Juarez Castelo Branco C Neto, Nilton Francisco Oliveira da Silva, Nuno Miguel Martins da Rocha, Mauro André Pagliosa, Marcos José Jacoboski, Marcelo Dias Pedroso, Rafael Henrique Eckstein, Roberto Buerger, Ronny Glauber de Almeida Cacau, Tiago Kommers Jappe, Walbermark M. Dos Santos, pela excelente convivência e pelas trocas de conhecimentos.

Aos amigos André Lange, Adriano Ruseler, Gean Jacques Maia de Sousa, Gierrí Waltrich, Marcio Ortmann e Rodrigo de Souza Santos pelos diversos momentos de descontração, pelo humor, pelas idas e vindas ao RU e ao “Meu Escritório”.

Aos funcionários do INEP, Diogo Duarte Luiz, Dona Beth, Leandro Chanes, pela competência e por ter propiciado, de alguma forma, a realização deste trabalho.

Aos funcionários da área técnica, Luiz Marcellus Coelho e em especial à Antônio Luiz S. Pacheco, pela eficiência, competência e confecção do protótipo experimental.

Aos amigos-irmãos, Delvanei Bandeira Jr., Edevaldo Santos e Tiago Schiavon, pela amizade contínua, incentivo e os momentos de diversão.

À minha mãe e avó pelo incentivo e por tudo que me proporcionaram. Aos meus irmãos André Flores e Marcos Flores pelo apoio e amizade.

À Lorena, por todo amor, carinho, amizade e companheirismo. Obrigado por ter estado ao meu lado em todos os momentos dessa

caminhada. Estendo minha gratidão à sua família, por todo respeito e compreensão.

Ao CNPq pelo apoio financeiro e ao INEP/UFSC por toda estrutura disponibilizada para a realização deste trabalho.

Agradeço a todas as pessoas que, de alguma forma, contribuíram para que este trabalho fosse realizado.

A Deus, pela vida e orientação.

“O sucesso nasce do querer, da determinação e persistência em se chegar a um objetivo. Mesmo não atingindo o alvo, quem busca e vence obstáculos, no mínimo fará coisas admiráveis” José de Alencar

RESUMO

Esta tese de doutorado tem por objetivo a proposta de uma nova família de conversores ca-cc três níveis unidirecionais híbridos a capacitor chaveado. São propostos conversores monofásicos e trifásicos. As características principais dos conversores são o fornecimento de alto fator de potência e elevado ganho de tensão sem o uso de transformadores. Para isso, unem dois conceitos distintos dentro da eletrônica de potência moderna que são: o controle de corrente por armazenamento indutivo e a elevação de tensão por comutação capacitiva. Os conversores apresentam baixos esforços de tensão, reduzido número de semicondutores comandados e baixa distorção harmônica na corrente de entrada. É proposta uma especificação de projeto com potência de saída de 2500 W para os conversores monofásicos e de 7500 W para os retificadores trifásicos, alimentados com tensão de entrada ca de 220 V e tensão de saída cc de 1600 V. O estudo é conduzido de forma a propiciar o entendimento, projeto e dimensionamento dos elementos do sistema. São apresentados estudos teóricos, simulações, além de resultados experimentais.

Palavras-chaves alto fator de potência, alto ganho de tensão, conversão ca-cc, capacitor chaveado, híbrido.

ABSTRACT

This thesis aims studies of a new family of ac-dc three-level hybrid switched-capacitor converters. Are proposed both single-phase as well as three-phase converters. The main features of the proposed converters are high power factor correction and high voltage gain operation without isolation transformers. These converters merge two different concepts in modern power electronics, that are: current control by inductive storing energy and increased of the output voltage by capacitive commutation. The converters have low voltage stress, reduced number of switches and low harmonic distortion in the input current. Experimental and simulation results for a 2500 W, single-phase converters, and 7500 W, three-phase converters, laboratory prototype are shown. Both converters work with input voltage of 220 Vac and output voltage of 1600 Vdc. This Thesis is focused to theoretical understanding and design of all elements of the system.

Index terms Power factor correction, high voltage gain, hybrid switched-capacitors, ac-dc power conversion.

LISTA DE FIGURAS

Figura 1-1 – Aplicação em tração metroviária.	3
Figura 1-2 – Aplicação em energia eólica.	3
Figura 1-3 – Aplicação em raio-X.	4
Figura 1-4 – Célula de dois estágios de Cockcroft-Walton.	5
Figura 1-5 – Célula baseada no conversor de Dickson.	5
Figura 1-6 – Conversor boost operando como PFC.	6
Figura 1-7 – Conversores dobradores de tensão (três níveis) apresentados por: (a) [20] e (b) [21].	7
Figura 1-8 – Conversores trifásicos três-níveis populares na literatura.	8
Figura 1-9 – Conversor a capacitor chaveado proposto por [28].	9
Figura 1-10 – Conversor ca-cc híbrido proposto por [30].	10
Figura 1-11 – Conversor proposto por [31].	10
Figura 1-12 – Conversor ca-cc híbrido com alto fator de potência proposto por [32].	11
Figura 1-13 – Conversor ca-cc híbrido com alto fator de potência proposto [33].	11
Figura 1-14 – Conversor cc-cc proposto por [34].	12
Figura 1-15 – Conversor cc-cc proposto por [35].	12
Figura 1-16 – Conversor híbrido cc-cc e ca-cc proposto por [36, 39]. .	13
Figura 1-17 – Conversor híbrido trifásico empregado célula multiplicadora proposto por [40].	14
Figura 1-18 – Conversor proposto por [41].	14
Figura 1-19 – Conversor ca-cc híbrido proposto por [42].	15
Figura 1-20 – Célula básica genérica dos conversores monofásicos propostos: (a) Célula A; (b) Célula B.	17
Figura 1-21 – Conversores ca-cc unidirecionais três-níveis híbridos propostos.	18
Figura 1-22 – Células genéricas de conversores trifásicos unidirecionais três-níveis híbridos.	19
Figura 1-23 – Conversores trifásicos propostos oriundos da célula a: (a) Tipo I; (b) Tipo II e (c) Tipo III.	20
Figura 1-24 – Conversores trifásicos oriundos da célula b: (a) Tipo IV; (b) Tipo V e (c) Tipo VI.	21
Figura 2-1 – Comutação entre capacitores: (a) ideal; (b) com resistência.	29
Figura 2-2 – Conversor CC-CC básico a capacitor chaveado.	30

Figura 2-3 - Formas de onda básicas do conversor cc-cc básico a capacitor chaveado.	30
Figura 2-4 - Circuito equivalente referente à primeira etapa de operação.	32
Figura 2-5 - Circuito equivalente referente à segunda etapa de operação.	34
Figura 2-6 - Circuito equivalente contemplando a resistência equivalente.	35
Figura 2-7 - Comportamento da resistência equivalente em função da: (a) frequência de comutação; (b) razão cíclica.	36
Figura 2-8 - Comportamento das correntes no interruptor: (a) comportamento do valor eficaz dos interruptores s_1 e s_2 em função da razão cíclica; (b) comportamento da corrente no interruptor s_1 para diversos valores de constantes de tempo.	39
Figura 2-9 - Definição dos modos de operação das correntes nos capacitores: (a) <i>complete-charge</i> (CC); (b) <i>parcial-charge</i> (PC); (c) <i>no-charge</i> (NC).	40
Figura 2-10 - Conversor cc-cc híbrido a capacitor chaveado.	41
Figura 2-11 - Primeira etapa de operação do conversor cc-cc híbrido a capacitor chaveado.	42
Figura 2-12 - Segunda etapa de operação do conversor cc-cc híbrido a capacitor chaveado.	47
Figura 2-13 - Comparativo do comportamento dos valores eficaz das correntes nos capacitores com a colocação ou não do capacitor de saída C_o	58
Figura 2-14 - Comportamento do somatório dos valores eficazes das correntes nos capacitores.	59
Figura 3-1 - Família de conversores ca-cc unidirecional três níveis híbridos a capacitor chaveado propostos.	65
Figura 3-2 - Etapas de operação para os conversores originados da célula A (armazenamento e transferência de energia).	66
Figura 3-3 - Etapas de operação para os conversores originados da célula B (armazenamento e transferência de energia).	67
Figura 3-4 - Topologia ca-cc meia ponte unidirecional três níveis híbrida a capacitor chaveado tipo I.	69
Figura 3-5 - Primeira etapa de operação do conversor tipo I.	70
Figura 3-6 - Segunda etapa de operação do conversor tipo I.	72
Figura 3-7 - Corrente eficaz nos capacitores chaveados, parametrizado pela corrente de saída I_o	76

Figura 3-8 – Envolvória da corrente no interruptor $S_{1,k}$ em função de ωt .	77
Figura 3-9 – Comportamento da corrente eficaz no interruptor $S_{1,A}$ e $S_{2,A}$, parametrizada pela corrente de saída, em função do índice modulação.	79
Figura 3-10 – Corrente eficaz nos diodos $D_{1,k}$, $k = A, B$, parametrizada pela corrente de saída, em função do índice de modulação.	82
Figura 3-11 – Corrente eficaz do diodo $D_{2,k}$, $k = A, B$, parametrizada pela corrente de saída, em função do índice de modulação.	84
Figura 3-12 – Comparativo do comportamento das correntes eficazes nos diodos da topologia em questão.	87
Figura 3-13 – Comparativo das taxas de conversão dos conversores propostos com o conversor boost PFC clássico.	88
Figura 3-14 – Envolvória da ondulação de corrente parametrizada no indutor de entrada.	90
Figura 4-1 – Estrutura básica do conversor híbrido necessária para implementação da estratégia de controle.	97
Figura 4-2 – Representação do conversor monofásico pela sua componente fundamental.	97
Figura 4-3 – Diagrama de blocos do modelo da corrente de entrada.	98
Figura 4-4 – Modelagem do conversor com uma resistência vista pela rede elétrica.	99
Figura 4-5 – Diagrama de blocos das malhas de controle de tensão e corrente.	100
Figura 4-6 – Circuito equivalente para obtenção do modelo da planta de tensão.	101
Figura 4-7 – Simulação do conversor e modelo para um degrau de 6% na referência de tensão.	104
Figura 4-8 – Comportamento da corrente de entrada do conversor i_g e do modelo matemático, diante de um degrau de referência de 6% na tensão de saída.	104
Figura 5-1 – Curva de queda de tensão em função da corrente no canal do MOSFET IPW65R080CFD.	111
Figura 5-2 – Esquemático implementado no <i>software</i> OrCAD para extração das curvas de energia no MOSFET IPW65R080CFD.	113
Figura 5-3 – Curvas de energia dissipada durante a comutação do MOSFET IPW65R080CFD, extraídas por meio do <i>software</i> OrCAD.	114
Figura 5-4 – Curva de queda de tensão sobre o diodo IDH16S60C.	115

Figura 5-5 – Característica da queda de tensão no diodo em antiparalelo do MOSFET IPW65R080CFD.....	117
Figura 5-6 – Rendimento teórico do conversor tipo I em função da potência de saída para vários índices de modulação.	120
Figura 5-7 – Rendimento teórico em função do índice de modulação na potência nominal de saída para várias frequências.	121
Figura 5-8 – Rendimento teórico: (a) Superfície 3D relacionando a potência de saída e índice de modulação; (b) Superfície 2D relacionando a potência de saída com o índice de modulação.	121
Figura 5-9 – Rendimento teórico: (a) superfície tridimensional relacionando o rendimento com a potência de saída e frequência de comutação para o índice de modulação igual 0,77; (b) gráfico de contorno do rendimento em função da potência de saída e frequência de comutação, válido para o índice de modulação igual a 0,77.	122
Figura 5-10 – Distribuição das perdas de energia no conversor Tipo I.	122
Figura 5-11 – Resultados de simulação: tensão e corrente na rede elétrica; tensão sobre o indutor de entrada; tensão comutada do conversor.	123
Figura 5-12 – Resultados de simulação em regime permanente: (a) corrente de entrada i_g ; (b) tensão de saída v_o ; (c) tensões parciais de saída v_{op} e v_{on} ; (d) tensões sobre os capacitores $C_{j,A}$, $j \in \{1, 2, 3\}$	124
Figura 5-13 – Simulação para teste da malha de balanço das tensões: (a) corrente de entrada i_g ; (b) tensão de saída v_o ; tensões parciais de saída v_{op} e v_{on} ; tensão sobre os capacitores $C_{j,A}$, $j \in \{1, 2, 3\}$; Ação de controle da malha do balanço das tensões de saída.	125
Figura 5-14 – Correntes nos elementos do conversor; corrente nos interruptores ativos; corrente nos capacitores de comutação.	126
Figura 5-15 – Esquemático empregado no protótipo experimental.	129
Figura 5-16 – Fotografia do protótipo construído.	129
Figura 5-17 – Vista frontal do conversor construído.	130
Figura 5-18 – Resultados experimentais: tensão e corrente na rede elétrica (canal 2 e 4); tensões sobre os capacitores parciais de saída $C_{o,A}$ e $C_{o,B}$ (canal 1 e 3).	131
Figura 5-19 – Resultados experimentais: tensões sobre os capacitores parciais de saída $C_{o,A}$ e $C_{o,B}$ (canal 1 e 3); corrente de entrada (canal 2) e tensão comutada pelo conversor v_{ao} (canal 4).	131
Figura 5-20 – Resultados experimentais: tensões sobre os capacitores parciais de saída $C_{o,A}$ e $C_{o,B}$ (canal 1 e 3); corrente de entrada (canal 2) e corrente no interruptor $S_{1,A}$	132

Figura 5-21 – Formas de onda das tensões sobre os capacitores $C_{j,k}$, $j \in \{1, 2\}$, $k \in \{A, B\}$	133
Figura 5-22 – Resultados experimentais: tensões parciais de saída v_{op} e v_{on} ; corrente de entrada i_g e tensão de entrada v_g	134
Figura 5-23 – Detalhe do transitório de carga da Figura 5-22.....	134
Figura 5-24 – Comportamentos das tensões sobre os capacitores $C_{j,A}$ diante de um degrau na resistência de carga.....	135
Figura 5-25 – Espectro harmônico da corrente de entrada em percentual da componente fundamental para potência nominal.....	136
Figura 5-26 – Comportamento da taxa de distorção harmônica em função da potência de saída do conversor proposto.....	136
Figura 5-27 – Curvas de rendimento em função da potência de saída para várias frequências.....	137
Figura 6-1 – Retificador trifásico híbrido a capacitor chaveado tipo I.....	140
Figura 6-2 – Retificador trifásico híbrido a capacitor chaveado tipo I com redução do número de capacitores.....	141
Figura 6-3 – Retificadores trifásicos propostos: (a) Tipo I; (b) Tipo II; (c) Tipo II.....	143
Figura 6-4 – Retificadores trifásicos propostos: (a) Tipo IV; (b) Tipo V; (c) Tipo VI.....	144
Figura 6-5 – Janela de tempo das correntes considerada na análise das etapas e operação do conversor proposto.....	145
Figura 6-6 – Diagrama unidimensional das tensões terminais do conversor trifásico.....	147
Figura 6-7 – Estado topológico $\bar{V}_0 = (0, 0, 0)$	148
Figura 6-8 – Estado topológico $\bar{V}_1 = (0, -1, 0)$	149
Figura 6-9 – Estado topológico $\bar{V}_2 = (0, -1, -1)$	149
Figura 6-10 – Estado topológico $\bar{V}_3 = (1, -1, -1)$	150
Figura 6-11 – Estado topológico $\bar{V}_4 = (1, -1, 0)$	150
Figura 6-12 – Estado topológico $\bar{V}_5 = (1, 0, 0)$	151
Figura 6-13 – Mapa de vetores do conversor trifásico três-níveis proposto.....	152
Figura 6-14 – Descrição do modulador PWM referente à fase A do conversor.....	153
Figura 6-15 – Comparativo da corrente no capacitor $C_{1,A}$: (a) corrente no retificador trifásico; (b) corrente no retificador monofásico; (c) corrente de entrada da fase A.....	155
Figura 6-16 – Comportamento da corrente eficaz no capacitor $C_{1,A}^c = C_{1,B}^c$	156

Figura 7-1 – Estrutura básica da estratégia de controle das correntes de entrada e tensões de saída.....	160
Figura 7-2 – Diagrama de blocos da estratégia de controle dq0.....	161
Figura 7-3 – Estrutura de PLL empregada no conversor.....	162
Figura 7-4 – Representação do retificador três níveis por chaves tripolares.....	163
Figura 7-5 – Representação do retificador pelo valor médio quase instantâneo.....	164
Figura 7-6 – Circuito equivalente do conversor em coordenadas dq0: (a) eixo zero; (b) eixo direto; (c) eixo em quadratura.....	167
Figura 7-7 – Diagrama de blocos do modelo da corrente em dq0.....	168
Figura 7-8 – Ilustração da corrente no ponto médio do barramento de saída.....	173
Figura 7-9 – Correntes médias quase instantâneas no ponto médio $M = 0,77$	175
Figura 7-10 – Comportamento do valor médio das parcelas da corrente no ponto neutro com a inserção da razão cíclica de sequência zero para $M = 0,77$	176
Figura 8-1 – Resultados de simulação do conversor trifásico proposto: correntes de entrada; correntes nos interruptores ativos; correntes nos diodos $D_{1,B}^j$ $j = a, b, c$, referente às três fases.....	181
Figura 8-2 – Resultado de simulação do conversor trifásico proposto: corrente de entrada; tensões parciais do barramento cc de saída e tensões sobre os capacitores de comutação.....	181
Figura 8-3 – Simulação do conversor trifásico proposto: tensão e corrente da fase A; tensão comutada do conversor (fase a) e corrente no ponto médio do barramento.....	182
Figura 8-4 – Simulação do conversor trifásico proposto: tensão e corrente de entrada (fase A); tensões parciais do barramento cc de saída e tensões sobre os capacitores de comutação.....	183
Figura 8-5 – Resultado experimental: formas de onda das tensões e correntes de entrada para operação em regime permanente.....	185
Figura 8-6 – Resultados experimentais: formas de onda das correntes de entrada; tensão de linha comutada pelo conversor e tensão parcial de saída.....	186
Figura 8-7—Resultados experimentais: formas de onda da corrente de entrada (canal 4); tensão sobre o capacitor $C_{1,A}$ (canal 1); tensão sobre o capacitor $C_{2,A}$ (canal 2) e tensão sobre o capacitor $C_{3,A}$ (canal 3).	186

Figura 8-8 – Resultados experimentais: formas de onda da corrente de entrada; corrente no capacitor $C_{3,A}^a$; tensões parciais de saída v_{op} e v_{on}	187
Figura 8-9 – Resultado experimental: comportamento das tensões parciais diante da ativação da malha de equilíbrio das tensões de saída; correntes de entrada.	188
Figura 8-10 – Comportamento das tensões de saída e correntes de entrada diante de um degrau de carga na saída.....	189
Figura 8-11 – Taxa de distorção harmônica total da corrente de entrada para condições nominais (percentual da componente fundamental).....	189
Figura 8-12 – Curva de rendimento experimental do conversor trifásico Tipo I.	190
Figura 9-1 – Proposta de generalização dos conversores propostos...	196

LISTA DE TABELAS

Tabela 1 – Comparativo entre os conversores propostos (semiciclo positivo da rede elétrica)	68
Tabela 2 – Especificações do protótipo.....	108
Tabela 3 – Especificações dos componentes utilizados.....	108
Tabela 4 – Especificações do protótipo trifásico.....	180
Tabela 5 – Mapeamento dos vetores correspondentes aos estados topológicos.	151
Tabela 6 – Especificações do protótipo trifásico.....	180

LISTA DE SÍMBOLOS

Símb.	Descrição	Unid.
A	Matriz de estados	-
B	Matriz	-
C	Matriz	-
C_k	Capacitores $k \in \{1, \dots, n\}$	F
C_k^j	Capacitores	F
D_k	Diodo, $k \in \{1, \dots, n\}$	-
D	Razão cíclica no ponto de operação	-
d	Razão cíclica variável no tempo	-
E_o	Energia inicial	J
$E_{perdida}$	Energia perdida	J
$E_{R_s}^{1^o}$	Energia do resistor R_S referente à primeira etapa	J
$E_{R_s}^{2^o}$	Energia do resistor R_S referente à segunda etapa	J
E_{total}	Energia total	J
f_s	Frequência de comutação	Hz
f_g	Frequência da rede elétrica	Hz
g_{in}	Condutância emulada na entrada	S
G_{nom}	Condutância nominal	S
G	Ganho estático	-
$I_{g,p}$	Corrente de pico da entrada	A
$i_{g,ref}$	Corrente de referência na rede	A
i_L	Corrente no indutor boost	A
i_{Ck}	Corrente no capacitor k , $k \in \{1, \dots, n\}$	A
i'_{Ck}	Corrente no capacitor k referente a primeira etapa, $k \in \{1, \dots, n\}$	A
i''_{Ck}	Corrente no capacitor k referente a segunda etapa, $k \in \{1, \dots, n\}$	A
$\langle i_{Ck} \rangle_{T_s}$	Corrente quase instantânea no capacitor k	A
$\langle i_{Co} \rangle_{T_s}$	Corrente quase instantânea no capacitor de saída, $k \in \{1, \dots, n\}$	A
i'_{Sk}	Corrente no interruptor k referente a primeira etapa, $k \in \{1, \dots, n\}$	A
i''_{Sk}	Corrente no interruptor k referente a segunda etapa, $k \in \{1, \dots, n\}$	A

i'_{Dk}	Corrente no diodo k referente a primeira etapa, $k \in \{1, .., n\}$	A
i''_{Dk}	Corrente no diodo k referente a segunda etapa, $k \in \{1, .., n\}$	A
$i'_{Ck,j}$	Corrente no interruptor k referente a segunda etapa, $k \in \{1, .., n\}$, $j \in \{A, B\}$	A
$i''_{Ck,j}$	Corrente no interruptor k referente a segunda etapa, $k \in \{1, .., n\}$, $j \in \{A, B\}$	A
i''_{Sk}	Corrente no interruptor k referente a segunda etapa, $k \in \{1, .., n\}$	A
$\langle I_{Cj,k,ef} \rangle_{Ts}$	Corrente eficaz quase instantânea	A
$I_{Cj,k,ef}$	Corrente eficaz	A
$i_{C1}^{2\circ}(t)$	Corrente no capacitor C_2 durante a segunda etapa	A
$I_{S1,ef}$	Corrente eficaz no interruptor S_1	A
$I_{S2,ef}$	Corrente eficaz no interruptor S_2	A
$I_{s,max}$	Corrente máxima no interruptor	A
$\langle \bar{I}_{S1,k} \rangle_{Ts}$	Corrente média quase instantânea no interruptor S	A
$\langle \bar{I}_{D1,k} \rangle_{Ts}$	Corrente média quase instantânea no interruptor S	A
i_d	Corrente de eixo direto	A
i_q	Corrente de eixo em quadratura	A
i_o	Corrente de sequência zero	A
$j_{m,n}$	Coefficiente da matriz, $m \in \{1, .., n\}$, $n \in \{1, .., n\}$	-
L	Indutor	H
L_b	Indutor boost	H
L_r	Indutor resonante	H
L_o	Indutor de saída	H
$k_{m,n}$	Coefficiente da matriz, $m \in \{1, .., n\}$, $n \in \{1, .., n\}$	-
k_{ref}	Variável auxiliar	-
m	Sinal modulador	-
\vec{m}	Vetor de moduladoras no plano abc	-
\vec{m}_{dq0}	Vetor de moduladoras no plano dq0	-
m_d	Moduladora de eixo d	-
m_q	Moduladora de eixo q	-
m_0	Moduladora de eixo 0	-

$m_{m,n}$	Coefficiente da matriz, $m \in \{1, \dots, n\}$, $n \in \{1, \dots, n\}$	-
M	Índice de modulação	-
P_{total}	Potência total	W
P	Potência do sistema	W
P_{nom}	Potência nominal	W
P_{in}	Potência de entrada	W
P_{L_b}	Potência no indutor L_b	W
P_{C_o}	Potência no capacitor C_o	W
P_{R_o}	Potência no resistor R_o	W
Q_o	Carga inicial	C
R_o	Resistência de saída	Ω
r_C	Resistência do capacitor	Ω
R_s	Resistência do interruptor S	Ω
R_L	Resistência de saída	Ω
R_{eq}	Resistência equivalente	Ω
$R_{\text{eq,min}}$	Resistência equivalente mínima	Ω
r_{in}	Resistência emulada na entrada	Ω
r_d	Resistência do diodo	Ω
$r_{s,on}$	Resistência do MOSFET	Ω
R_o	Resistência de saída	Ω
r_C	Resistência do capacitor	Ω
R_s	Resistência do interruptor S	Ω
R_L	Resistência de saída	Ω
S_k	Interruptor estático, $k \in \{1, \dots, n\}$	-
T_s	Período de comutação	s
V_q	Tensão de entrada	V
v_g	Tensão alternada de entrada	V
$V_{g,p}$	Tensão de pico de entrada	V
V_o	Tensão de saída/tensão inicial	V
V_i	Tensão de entrada cc	V
V_{Ck}	Tensão sobre o capacitor k , $k \in \{1, \dots, n\}$	V
V_k	Nível de tensão $k \in \{a, b\}$	V
$v_{C1}^{1\circ}(t)$	Tensão no capacitor C_1 durante a primeira etapa	V
$v_{C1}^{2\circ}(t)$	Tensão no capacitor C_1 durante a segunda etapa	V
v_{Ck}	Tensão sobre o capacitor k , $k \in \{1, \dots, n\}$	V
v_{ao}	Tensão comutada do conversor	V

v_{op}	Tensão parcial do barramento	V
v_{on}	Tensão parcial do barramento	V
\vec{v}_g	Vetor de tensão da rede elétrica	V
v_{dq0}	Vetor de tensão no plano dq0	V
$\vec{v}_{on,dq0}$	Vetor de tensão de modo comum	V
ΔV	Ondulação de tensão	V
x	Vetor de variáveis de estados	-
\dot{x}	Vetor derivada das variáveis de estado	-
τ	Constante de tempo	s

LISTA DE ABREVIATURAS E SIGLAS

Sigla	Descrição
SCR	<i>Silicon Controlled Rectifier</i> - Retificador de silício controlado
IGBT	<i>Insulated-gate bipolar transistor Transistor</i> - Bipolar de Porta Isolada
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
SiC	<i>Silicon Carbide</i> - Carbetto de silício
EMI	Interferência eletromagnética
cc	Corrente contínua
ca	Corrente alternada
cc-cc	Conversor de corrente contínua para corrente contínua
ca-cc	Conversor de corrente alternada para corrente contínua
cc-ca	Conversor de corrente contínua para corrente alternada
ca-ca	Conversor de corrente alternada para corrente alternada
PFC	<i>Power Factor Correction</i> - Correção de fator de potência
PWM	Modulação por largura de pulso
THD	Taxa de distorção harmônica
SC	<i>Switched-capacitor</i> – Capacitor chaveado
CC	<i>Complete-charge</i>
PC	<i>Partial-charge</i>
NC	<i>No-charge</i>
HCC	Híbrido a capacitor chaveado
PSIM	Simulador de circuitos elétricos
DSP	<i>Digital Signal Processor</i> – Processador Digital de Sinais

Sumário

1.CONTEXTUALIZAÇÃO E REVISÃO	1
1.1 CONTEXTUALIZAÇÃO	1
1.2 APLICAÇÕES	3
1.3 REVISÃO BIBLIOGRÁFICA	4
1.4 ANÁLISE GERAL SOBRE A REVISÃO BIBLIOGRÁFICA.....	15
1.5 PROPOSTA DA TESE.....	16
1.6 OBJETIVOS E CONTRIBUIÇÕES METODOLOGIA ADOTADA.....	22
1.7 ORGANIZAÇÃO DO TRABALHO	23
1.8 PUBLICAÇÕES	24
2.ESTUDO DOS CONVERSORES A CAPACITOR CHAVEADO E HÍBRIDOS.....	27
2.1 FUNDAMENTOS DOS CONVERSORES A CAPACITORES CHAVEADOS	27
2.1.1 Paradoxo dos capacitores em paralelo	28
2.1.2 Conversor CC-CC básico a capacitor chaveado.....	29
2.1.3 Conceito de resistência equivalente.....	34
2.1.4 Interpretação física da resistência equivalente.....	37
2.2 CONVERSOR CC-CC HÍBRIDOS A CAPACITOR CHAVEADO.....	40
2.2.1 Primeira etapa de operação	41
2.2.2 Segunda etapa de operação	47
2.2.3 Análise de esforços de corrente.....	53
2.3 RESUMO SOBRE O CAPÍTULO	61
3.RETIFICADORES PWM UNIDIRECIONAIS TRÊS-NÍVEIS HÍBRIDOS A CAPACITOR CHAVEADO MONOFÁSICOS [AUTOMATIC SECTION BREAK]	
<u>[MANUAL COUNTER RESET: CHAPTER 3, SECTION 1]</u>	63
3.1 RETIFICADORES HÍBRIDOS MONOFÁSICOS PROPOSTOS.....	64
3.2 FUNDAMENTOS ACERCA DA OPERAÇÃO DOS CONVERSORES.....	65
3.3 ESTUDO DO CONVERSOR TIPO I – ETAPAS DE OPERAÇÃO	68
3.3.1 Primeira etapa.....	69
3.3.2 Segunda etapa de operação	71
3.4 ANÁLISE DE ESFORÇOS DE CORRENTE.....	72
3.4.1 Expressão da corrente eficaz nos capacitores $C_{1,A}$ e $C_{1,B}$.	73
3.4.2 Expressão da corrente eficaz nos capacitores $C_{2,A}$ e $C_{2,B}$.	74
3.4.3 Expressão da corrente eficaz nos capacitores $C_{3,A}$ e $C_{3,B}$.	75

3.4.4	Expressão da corrente média nos interruptores $S_{1,A}$ e $S_{2,A}$	76
3.4.5	Expressão da Corrente eficaz nos interruptores $S_{1,A}$ e $S_{2,A}$	78
3.4.6	Expressão da corrente média no diodo $D_{1,A}$ e $D_{1,B}$	80
3.4.7	Expressão da corrente eficaz nos diodos $D_{1,A}$ e $D_{1,B}$	81
3.4.8	Expressão da corrente média nos diodos $D_{2,A}$ e $D_{2,B}$	82
3.4.9	Expressão da corrente eficaz nos diodos $D_{2,A}$ e $D_{2,B}$	83
3.4.10	Expressão da corrente média no diodo $D_{3,A}$ e $D_{3,B}$	84
3.4.11	Expressão da corrente eficaz nos diodos $D_{3,A}$ e $D_{3,B}$	85
3.4.12	Conclusões sobre os esforços de corrente.....	86
3.5	TAXA DE CONVERSÃO.....	87
3.6	ONDULAÇÃO DE CORRENTE NO INDUTOR DE ENTRADA	88
3.7	ONDULAÇÃO DE TENSÃO NOS CAPACITORES DE SAÍDA	91
3.8	CRITÉRIOS PARA A ESCOLHA DOS CAPACITORES DE COMUTAÇÃO.....	93
3.9	RESUMO SOBRE O CAPÍTULO	94

4.MODELAGEM ORIENTADA AO CONTROLE DOS RETIFICADORES MONOFÁSICOS PROPOSTOS95

4.1	ESTRATÉGIA DE CONTROLE	96
4.2	MODELO POR VALORES MÉDIOS DA CORRENTE DE ENTRADA	96
4.3	MODELO POR VALORES MÉDIOS DA TENSÃO DE SAÍDA	101
4.4	RESUMO E COMENTÁRIOS SOBRE O CAPÍTULO	105

5.PROJETO, SIMULAÇÃO E RESULTADOS EXPERIMENTAIS DO RETIFICADOR MONOFÁSICO ..107

5.1	DEFINIÇÃO DO PROJETO.....	107
5.1.1	Escolha dos parâmetros.....	107
5.2	ANÁLISE DA DISTRIBUIÇÃO DE PERDAS NO CONVERSOR TIPO I .	110
5.2.1	Perdas de condução nos interruptores comandados.....	110
5.2.2	Perdas de comutação nos interruptores comandados.....	112
5.2.3	Perdas de condução nos diodos rápidos	114
5.2.4	Perdas de condução no indutor de entrada	116
5.2.5	Perdas de condução nos diodos lentos.....	117
5.2.6	Perdas fixas de energia.....	118
5.2.7	Totalização das perdas de energia	119
5.2.8	Rendimento teórico.....	119
5.3	RESULTADOS DE SIMULAÇÕES	122
5.3.1	Comparativo: teórico versus simulação	127
5.4	RESULTADOS EXPERIMENTAIS.....	127
5.5	RESUMO SOBRE O CAPÍTULO	137

6.RETIFICADORES TRIFÁSICOS HÍBRIDOS A CAPACITOR CHAVEADO139

6.1	RETIFICADOR TRIFÁSICO HÍBRIDO A CAPACITOR CHAVEADO TIPO I	139
6.2	REDUÇÃO DO NÚMERO DE CAPACITORES	140
6.3	CONVERSORES PROPOSTOS.....	142
6.4	ESTADOS TOPOLÓGICOS E REPRESENTAÇÃO VETORIAL.....	145
6.5	DESCRIÇÃO DO MODULADOR PWM.....	153
6.6	ESFORÇOS DE CORRENTE.....	154
6.7	ONDULAÇÃO DE TENSÃO SOBRE OS CAPACITORES DE SAÍDA	157
6.8	RESUMO SOBRE O CAPÍTULO.....	158

7.MODELAGEM ORIENTADA AO CONTROLE DOS RETIFICADORES TRIFÁSICOS HÍBRIDOS PROPOSTOS 159

7.1	CONTROLE DOS RETIFICADORES TRIFÁSICO	159
7.1.1	Estratégia de controle	159
7.1.2	Diagrama de blocos	161
7.2	MODELO DE PEQUENOS SINAIS PARA O CONTROLE DAS CORRENTES DE ENTRADA EM COORDENADAS SÍNCRONAS.	162
7.3	MODELO DE PEQUENOS SINAIS PARA O CONTROLE DAS TENSÕES DE SAÍDA EM COORDENADAS SÍNCRONAS.....	168
7.4	BALANÇO DAS TENSÕES DE SAÍDA	171
7.4.1	Análise da corrente no ponto médio	171
7.4.2	Função de transferência do equilíbrio das tensões de saída	176
7.5	RESUMO SOBRE O CAPÍTULO.....	177

8.RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS DO RETIFICADOR TRIFÁSICO HÍBRIDO TIPO I179

8.1	RESULTADOS DE SIMULAÇÃO	179
8.2	RESULTADOS EXPERIMENTAIS	184
8.2.1	Operação em regime permanente.....	184
8.2.2	Operação em regime transitório	187
8.3	RESUMO SOBRE O CAPÍTULO.....	190

9.CONCLUSÃO GERAL193

9.1	PROPOSTA DE TRABALHO FUTUROS.....	195
9.1.1	Conversores monofásicos.....	195
9.1.2	Conversores trifásicos.....	196

10.REFERÊNCIAS BIBLIOGRÁFICAS.....	199
---	------------

Capítulo 1

Contextualização e revisão

1.1 CONTEXTUALIZAÇÃO

O século XX foi marcado pelo salto na evolução tecnológica. Neste contexto, a engenharia elétrica se destaca por ter permitido a geração, transmissão e distribuição de energia elétrica, possibilitando que esta chegue ao consumidor final com enorme praticidade. Para que chegasse a tal avanço, foi necessário o desenvolvimento não só de materiais, dispositivos eletromecânicos e eletroeletrônicos, mas também de conhecimento físico-matemático dos fenômenos. Com tamanho conhecimento adquirido, tornou-se inevitável a divisão deste campo do conhecimento em áreas específicas, permitindo assim a evolução individual e gradual de cada área.

Dentro do espectro da engenharia elétrica, uma área que ganhou grande importância com o decorrer dos tempos foi a Eletrônica de Potência. Esta nasceu com o surgimento dos semicondutores de potência, com a invenção do retificador de silício controlado (Tiristor - SCR), passando por transistores bipolares de potência, MOSFETs, IGBTs e mais recentemente semicondutores de Carbetto de Silício SiC.

Devido à possibilidade do processamento eficiente da energia, com o uso de interruptores estáticos, e redução significativa de peso e volume dos equipamentos, a Eletrônica de Potência possibilitou a compactação dos equipamentos e elevação do rendimento, isto por meio da comutação de interruptores operando em alta frequência. Hoje existe uma gama de equipamentos que usam dispositivos desenvolvidos graças aos conhecimentos adquiridos no estudo da eletrônica de potência. Estes vão desde eletrodomésticos, carregadores, reatores de lâmpadas e etc. O êxito da Eletrônica de Potência também advém de outras áreas do conhecimento como a análise de circuitos, desenvolvimento de semicondutores, eletrônica digital e também a

microeletrônica; esta, que possibilitou o emprego de topologias e controles complexos.

Ao passo que os conversores estáticos foram sendo disseminados pelo mundo, processando as mais variadas formas de energia elétrica, estes trouxeram consigo diversos problemas, principalmente relacionados com compatibilidade eletromagnética EMI. A comutação de tensões e correntes em alta frequência levou a uma degradação substancial da qualidade da energia elétrica, acarretando no surgimento de normas técnicas rígidas como, por exemplo, IEC61000-3-2 e IEC61000-3-4. Estas normas têm por objetivo impor limites aos problemas causados pelos equipamentos eletrônicos, através da condução e irradiação de ruídos eletromagnéticos.

Até o surgimento das fontes comutadas, o espectro harmônico da rede elétrica era resumido somente a componente fundamental, isto porque havia somente cargas lineares, regidas por motores elétricos, transformadores e elementos passivos. Posteriormente, de maneira inevitável, as componentes harmônicas, das mais diversas ordens, passaram a integrar o sistema elétrico, devido principalmente às cargas não-lineares e conversores comutados estaticamente. De acordo com [1], estima-se que até 2030 cerca de 80% de toda energia elétrica processada seja por conversores estáticos. Atualmente, as soluções para o processamento estático de energia elétrica vão desde algumas unidades de Watts até MWs.

A forma mais comum de conversão de energia elétrica talvez seja a mudança de um sinal alternado, obtido da rede elétrica, em um sinal direto, ou contínuo (cc). Os equipamentos que fazem tal conversão são chamados de retificadores e são classificados de diversas formas como, por exemplo, monofásicos, trifásicos, controlados ou não-controlados.

Embora a rede elétrica industrial e residencial forneça quantidades senoidais (ca), ainda grande parte dos equipamentos eletrônicos operam com grandezas contínuas (cc). A forma mais comum de realizar tal conversão é empregando diodos retificadores, os quais convertem a tensão de entrada alternada em uma tensão de saída contínua. No entanto, o uso dessa estrutura, considerando aplicações que não exijam isolamento, a amplitude da tensão de saída (cc) fica limitada ao pico da tensão de entrada (ca), além do agravante da corrente de entrada ser bastante degradada, devido à ausência de controle ativo.

1.2 APLICAÇÕES

Em situações onde é indispensável que a tensão cc seja maior que o pico da tensão de entrada (ca) são necessárias outras abordagens. Estas necessidades são frequentemente requeridas em aplicações como raio lasers, aceleradores de partículas, equipamentos médicos, etc.

Sistemas de tração metroviária com alimentação cc necessitam de um estágio de conversão da tensão da rede elétrica para um barramento de alta tensão, tipicamente entre 1 kV a 3 kV [2-4], conforme ilustra Figura 1-1.

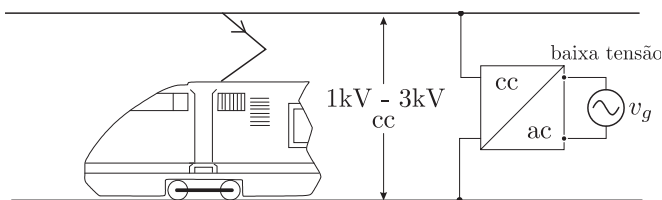


Figura 1-1 – Aplicação em tração metroviária.

Alguns sistemas de energia eólica de pequeno porte necessitam de uma alta taxa de conversão a fim de serem conectados à rede elétrica sem transformadores. Em alguns aerogeradores de pequeno porte a tensão de linha é tipicamente 220 V [5, 6]. Para que haja a conexão direta à rede elétrica é necessário um barramento cc de 800 V. Com isso há necessidade de conversores com alto ganho. A Figura 1-2 mostra a aplicação em questão.

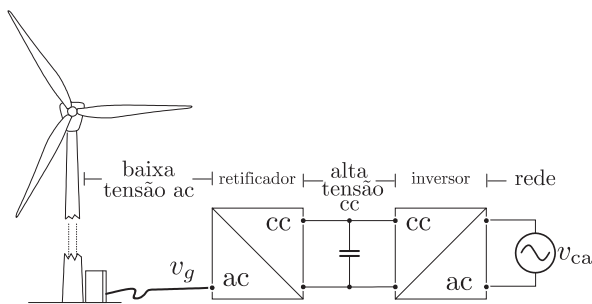


Figura 1-2 – Aplicação em energia eólica.

Equipamentos para aplicações médicas frequentemente requerem tensões elevadas para seu funcionamento. Por exemplo, um aparelho de raios-X usa tensões da ordem de dezenas de kV na sua operação [7]. Esses equipamentos são alimentados a partir da rede elétrica convencional, e para atingir os níveis de tensão de saída operacionais, se faz necessário o uso de sistemas de alta taxa de conversão de tensão. A Figura 1-3 ilustra um tubo de raios-X alimentado por um conversor de alto ganho.

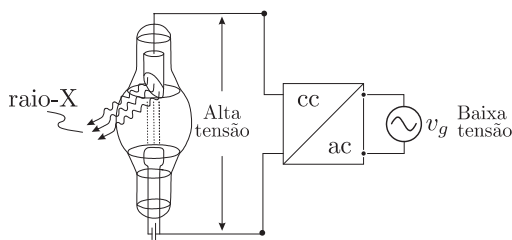


Figura 1-3 – Aplicação em raio-X.

1.3 REVISÃO BIBLIOGRÁFICA

Em 1919 H. Greinacher desenvolveu o primeiro retificador aplicado a alta tensão [8] baseado em uma célula multiplicadora empregando diodos e capacitores. No entanto, foi em 1932 que J. D. Cockcroft e E. T. S. Walton o tornaram popular, usando este mesmo circuito em um desintegrador nuclear [8-10]. A partir de então, diversos trabalhos vem sendo publicados empregando este princípio [11-15]. A Figura 1-4 apresenta o diagrama do circuito de Cockcroft-Walton de dois estágios. No que diz respeito ao propósito de produzir uma tensão de saída constante, o conversor Cockcroft-Walton opera muito bem, pois atua de forma passiva e naturalmente comutado, empregando para isso apenas diodos e capacitores. No entanto, este mesmo circuito tem com grande desvantagem o fato de não prover regulação na tensão de saída, o que para algumas aplicações é indispensável. Outro aspecto negativo é a questão dos capacitores estarem submetidos à frequência da rede elétrica, tendo por consequência o aumento do valor da capacitância e, por efeito, o incremento do volume.

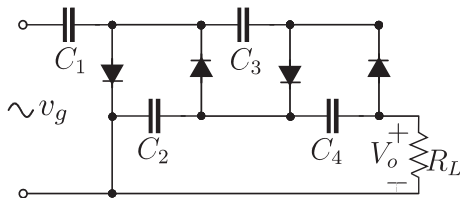


Figura 1-4 – Célula de dois estágios de Cockcroft-Walton.

Em 1976, baseado na célula de Cockcroft-Walton, John Dickson propõe uma célula multiplicadora, que mais tarde receberia seu nome, ver Figura 1-5. Este conversor inicialmente foi proposto para aplicações em circuitos integrados CI, onde o circuito Cockcroft-Walton não é adequado, devido a problemas com espalhamento de capacitância no substrato do CI [16, 17]. Contudo, a topologia também se mostrou funcional operando na frequência da rede. Entretanto, este circuito apresenta os mesmos pontos negativos do Cockcroft-Walton no que diz respeito à capacitância e volume dos capacitores.

Como será visto ainda neste capítulo, as células básicas de Cockcroft-Walton e John Dickson encontraram grande campo na eletrônica de potência, aplicados em conversores comutados em alta frequência. Várias topologias usam os conceitos destes multiplicadores, a fim de obterem alto ganho de tensão.

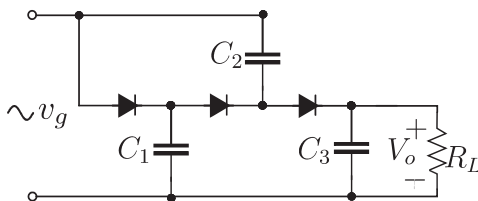


Figura 1-5 – Célula baseada no conversor de Dickson.

O fato da corrente de entrada se apresentar distorcida faz com que haja aumento do valor eficaz que é realmente necessário para alimentar uma determinada carga, levando a um incremento das perdas nos cabos de alimentação.

Os conversores apresentados até o presente momento, embora forneçam uma elevada tensão de saída, têm como desvantagem a alta distorção harmônica da corrente de entrada. Devido a esta limitação,

no início da década de 80 começaram os primeiros estudos empregando células básicas de conversores cc-cc, conectados à rede ca por meio de uma ponte de diodos, para aplicação com elevado fator de potência (PFC) [18, 19]. O conversor boost, Figura 1-6, se popularizou por ter em sua entrada a característica de fonte de corrente, permitindo uma corrente com baixa distorção harmônica e elevado fator de potência. Embora esta topologia possa dispor em seus terminais de saída uma tensão maior que o valor de pico da tensão de entrada, este não é aconselhado para operação com elevada tensão de saída. O motivo disso deve-se ao fato que os elementos parasitas, presentes no circuito, limitam a faixa de ganho de tensão que os conversores podem operar. Em adição, os interruptores estáticos ficam submetidos à tensão de saída, tendo assim o aumento das perdas de comutação, além das dificuldades de dimensionamento destes componentes. Outra desvantagem é o fato do indutor de entrada ficar submetido a elevados degraus de tensão tendo, por consequência, a presença de uma elevada ondulação de corrente fluindo por este. Uma solução para ampliação do ganho de tensão é o uso de dois ou mais conversores boost em cascata, no entanto, há incremento das perdas e número de componentes passivos.

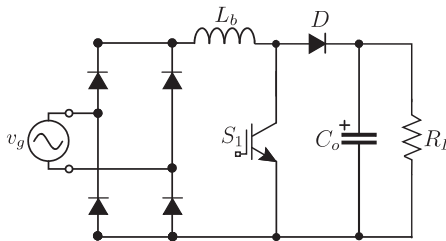


Figura 1-6 – Conversor boost operando como PFC.

A fim de atenuar os problemas de tensão nos interruptores e de tensão de saída do conversor boost clássico, foram propostos conversores que possibilitam dobrar a tensão e dividir os esforços de tensão sobre os semicondutores, chamados de dobradores de tensão [20]. A Figura 1-7 apresenta dois conversores propostos por [20, 21]. Estes circuitos, também chamados de três-níveis, possuem os atributos do conversor boost clássico no que diz respeito à qualidade da corrente, com a vantagem desta possuir menor ondulação de alta frequência.

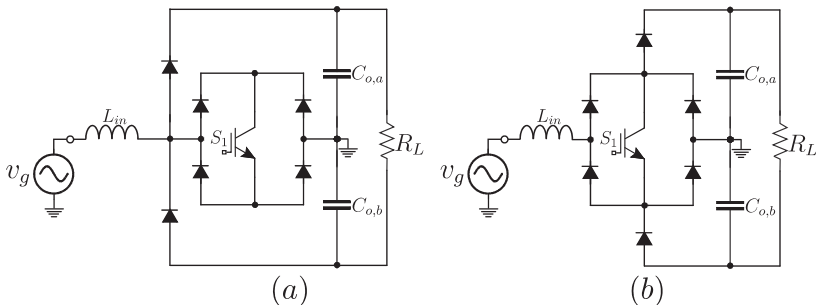


Figura 1-7 – Conversores dobradores de tensão (três níveis) apresentados por: (a) [20] e (b) [21].

O fato de a rede elétrica estar conectada ao ponto central dos capacitores permite que se obtenha uma tensão de saída duas vezes maior que o conversor boost clássico. Os conversores três-níveis com alto fator de potência também são frequentemente requeridos em aplicações trifásicas [22-25], onde as características de redução de ondulação de corrente são bem vindas, devido às restrições impostas por normas internacionais. No entanto, os conversores pré-existent na literatura, considerando os não-isolados, não são empregados em tensões de saída maiores que 1000 V, por conta das limitações dos componentes comerciais. A Figura 1-8 apresenta alguns dos conversores três níveis trifásicos mais populares na literatura. Para atingir tensões de saída superiores, outras topologias de conversores são utilizadas como, por exemplo, a extensão de níveis do conversor, chamados de conversores multiníveis. Contudo, esta abordagem tem como implicação o aumento do custo e a complexidade do sistema.

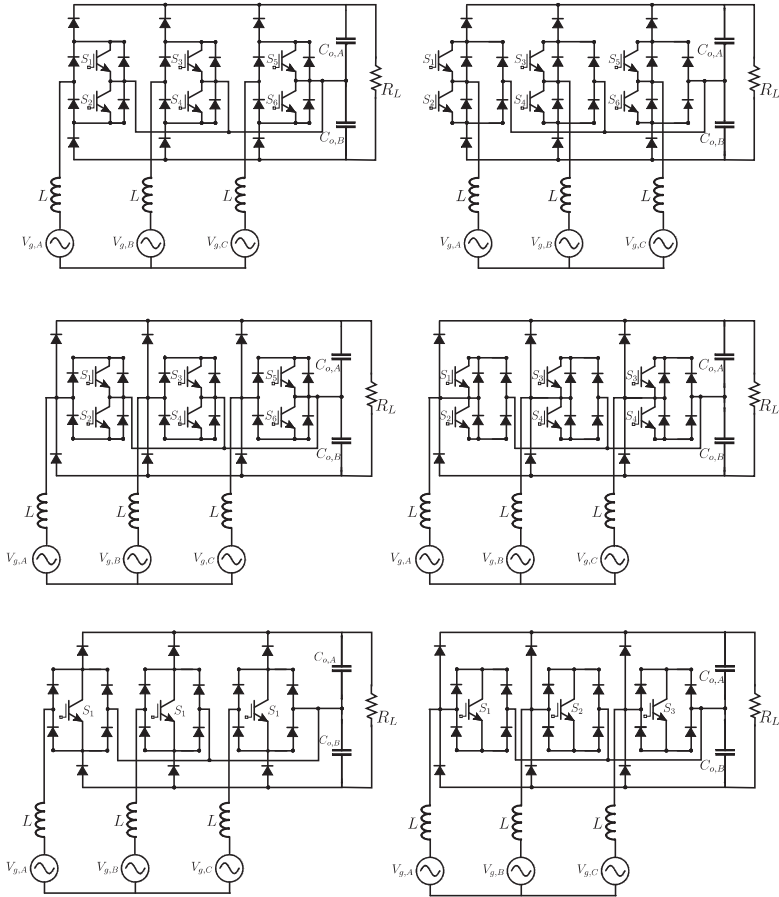


Figura 1-8 – Conversores trifásicos três-níveis populares na literatura.

Em decorrência das limitações de ganho de tensão dos conversores PWM, chamados “convencionais”, existe atualmente na literatura uma nova tendência de pesquisa, que procura novos métodos “não convencionais” para conversão de energia. Por meio do conceito de H. Greinacher surgiram os chamados conversores a capacitor chaveado (SC), comutados em alta frequência, através de interruptores comandados. Estes conversores têm sido, nos últimos anos, amplamente empregados em diversas aplicações, tais como filtros de sinais, circuitos integrados e, recentemente, em conversores da ordem de kW [26, 27]. Os SC são compostos somente de interruptores e

capacitores, o que lhes confere redução do volume se comparado com estruturas convencionais empregando indutores [27]. A Figura 1-9 apresenta o conversor proposto por [28], onde a tensão de entrada V_g pode ser interpretada como uma tensão retificada a partir da rede ca. Este circuito se utiliza de cinco capacitores para fornecer uma tensão de saída cinco vezes maior que a entrada. O mecanismo de funcionamento se baseia na conexão série-paralelo dos capacitores, os quais transferem a energia da entrada à saída. Embora tenha um elevado ganho de tensão, esta topologia, devido somente à presença de capacitores, tem na sua corrente de entrada uma elevada ondulação e, portanto, não é desejável em aplicações que exijam baixa distorção harmônica total (THD). Não obstante, a tensão de saída não pode ser regulada pela variação da razão cíclica, ficando esta fixada em um valor próximo a 0,5.

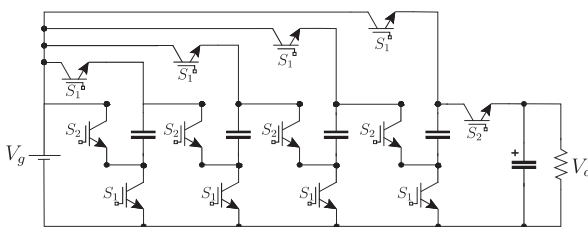


Figura 1-9 – Conversor a capacitor chaveado proposto por [28].

Durante muitos anos o uso de capacitores chaveados para conversão estática de energia ficou restrito a conversores cc-cc de baixa potência. No entanto, hoje, com a evolução tecnológica dos componentes eletrônicos, já são empregados em conversão ca-ca, obtendo rendimentos acima de 97 % [27].

Em razão da necessidade de reduzir a distorção harmônica total da corrente de entrada, junto com o aumento da tensão de saída, começaram a ser propostos novos conversores que unem as características de entrada dos conversores clássicos (indutores) com os atributos de saída dos capacitores chaveados, surgindo assim os chamados conversores híbridos [29].

Combinando o conceito do retificador clássico a diodo com a célula multiplicadora, a referência [30] propõe o conversor ilustrado na Figura 1-10. Este conversor já emprega o uso de interruptores comandados para o seu funcionamento. Embora seja um conversor com interruptor comandado, a topologia apresenta uma corrente de entrada com alta

distorção harmônica.

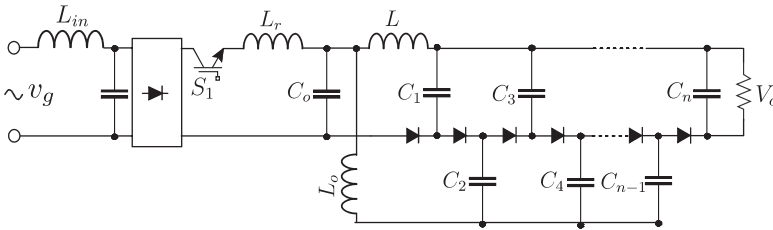


Figura 1-10 - Conversor ca-cc híbrido proposto por [30].

A referência [31] propõe o conversor ilustrado na Figura 1-11. A topologia integra a junção de uma célula a capacitor chaveado com um conversor boost, tendo em sua saída um alto ganho de tensão. O estágio com capacitores chaveados não permite a regulação de tensão, sendo esta feita pelo estágio boost. O fato de o estágio boost estar submetido a uma elevada tensão em sua entrada faz com que não seja necessária uma elevada razão cíclica para ter em sua saída uma alta tensão. A topologia possui como aspecto negativo, além do elevado número de interruptores comandados, um elevado estresse de tensão sobre interruptor S_5 do estágio boost.

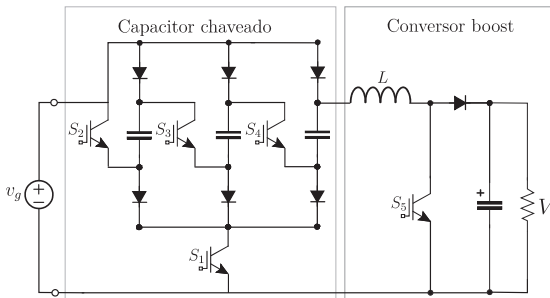


Figura 1-11- Conversor proposto por [31].

A referência [32] propõe um conversor ca-cc de alto ganho baseado em uma célula Cockroft-Walton, somente com a adição de interruptores bidirecionais e um indutor (Figura 1-12). É proposta uma célula com três estágios, podendo ser expansível com a adição de células capacitores-diodos. São apresentados resultados de simulação e experimental para potência de 500 W, obtendo fator de potência de

0,99 e 8% de THD. A topologia tem como desvantagem a necessidade do uso de interruptores sem diodos em antiparalelo, o que pode limitar a aplicação.

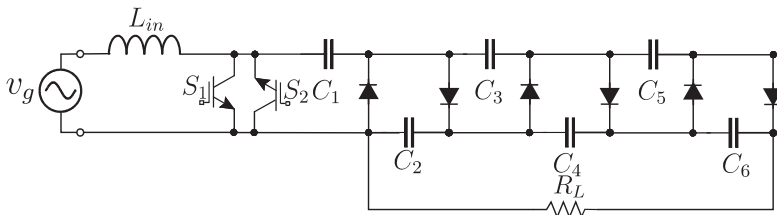


Figura 1-12 – Conversor ca-cc híbrido com alto fator de potência proposto por [32].

A referência [33], com base no circuito proposto por [32], propõe o conversor ilustrado na Figura 1-13. Neste é empregada uma célula simétrica multiplicadora. Da mesma forma, a tensão de saída pode ser incrementada com o aumento do número de estágios. Foram apresentados resultados experimentais para uma potência de 200 W, tensão de saída de 750 V, tensão de entrada de 110 V e frequência de comutação de 100 kHz.

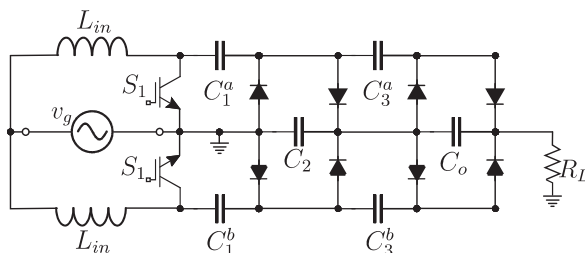


Figura 1-13 – Conversor ca-cc híbrido com alto fator de potência proposto [33].

A referência [34] propôs a topologia apresentada na Figura 1-14. Trata-se da junção de um conversor cc-cc boost clássico com uma célula multiplicadora diodo-capacitor, resultando em uma solução híbrida. O conversor conta com um indutor ressonante, o qual permite a redução das perdas de comutação e dos efeitos causados pela recuperação dos diodos. Essa topologia também pode ser cascadeada em vários estágios, a fim de ampliar o ganho de tensão. Embora a conversão ca-cc não seja abordada pelo autor, essa topologia apresenta

características favoráveis para operação com alto fator de potência.

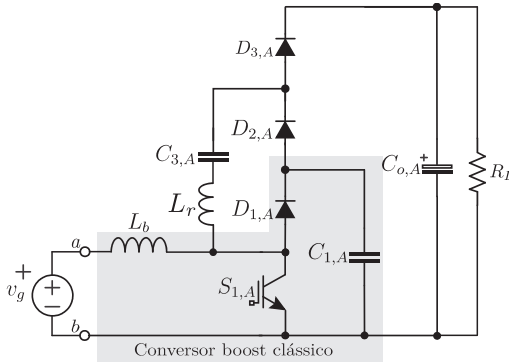


Figura 1-14 – Conversor cc-cc proposto por [34].

Já a referência [35] propõe a intercalação de conversores boost cc-cc com uma célula multiplicadora, conforme ilustrado na Figura 1-15. A interconexão de células permite a ampliação da capacidade de corrente e, por consequência, incremento dos níveis de potência. Da mesma forma, a topologia pode ser cascateada em vários estágios a fim de ampliar o ganho de tensão. Assim como na topologia anterior, a conversão ca-cc não é abordada.

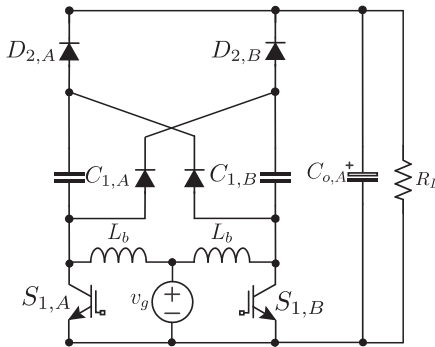


Figura 1-15 – Conversor cc-cc proposto por [35].

Já a referência [36] propõe um conversor cc-cc híbrido, integrando um conversor boost clássico com uma célula composta de capacitores e diodos, conforme ilustra a Figura 1-16. Esta topologia possui o

atrativo de apresentar somente um interruptor comandado, e um único indutor [37, 38]. Na Figura 1-16 é apresentado o conversor com dois estágios. Observa-se que a topologia é bastante semelhante ao conversor proposto por [34], com a exceção da existência do indutor resonante.

Baseado nos atributos positivos do conversor proposto por [36], a referência [39] propõe o uso desta topologia para conversão ca-cc com alto fator de potência. Isto é conseguido com a inserção de uma tensão retificada nos terminais de entrada “a” e “b” do conversor (Figura 1-16). A referência [39] apresenta resultados com alto fator de potência e regulação da tensão de saída, com a implementação de um conversor com 1,2 kW, obtendo rendimento máximo acima de 97%. Da mesma forma, a tensão de saída também pode ser ampliada com o aumento do número de estágios capacitor-diodo.

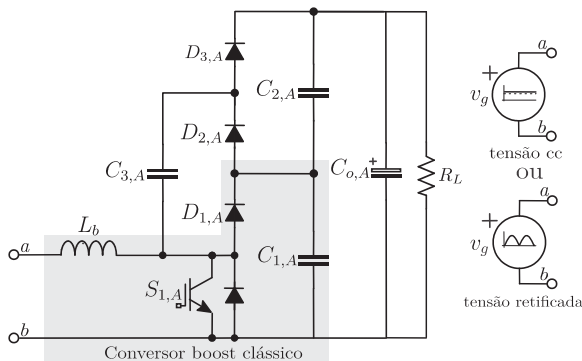


Figura 1-16 – Conversor híbrido cc-cc e ca-cc proposto por [36, 39].

Seguindo o mesmo princípio, a referência [40] propõe a junção de um retificador trifásico a diodo com a célula multiplicadora de capacitores e diodos, conforme apresentado na Figura 1-17. Tem como vantagem a presença de somente um interruptor comandado, ficando este submetido à tensão presente no capacitor C_1 . Ao mesmo tempo, a presença de um único interruptor impede que se obtenha uma corrente com envoltória senoidal, o que para algumas aplicações torna este conversor indesejável. A tensão de saída pode ser ampliada com a inserção de mais estágios diodos-capacitores.

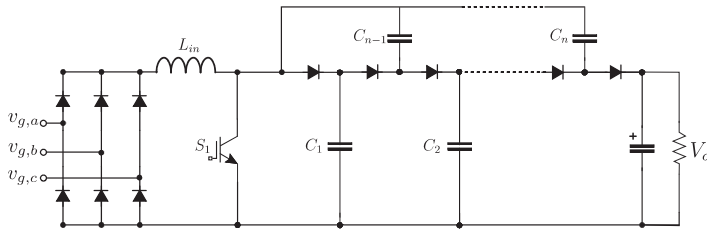


Figura 1-17 – Conversor híbrido trifásico empregado célula multiplicadora proposto por [40].

Da mesma forma, [41] utiliza um estágio boost na entrada somado a dois estágios multiplicadores para prover alto ganho, ver Figura 1-18. Este conversor possui potencial para aplicações com elevado fator de potência, no entanto, o autor não aborda tal operação. Neste mesmo trabalho, [41] propõe uma família de conversores empregando as células de Cockcroft-Walton e John Dickson. São feitas variações de conexões em paralelo e cascata para obter diferentes características.

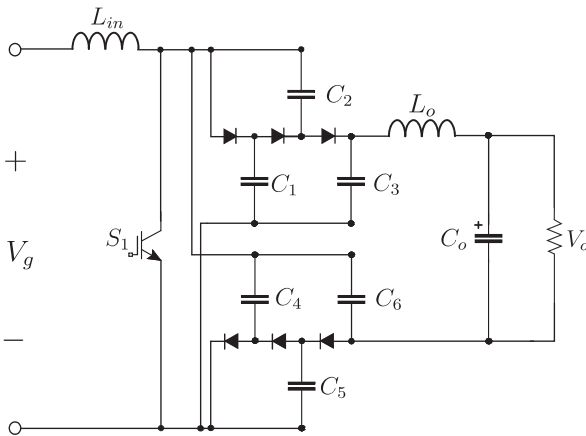


Figura 1-18 – Conversor proposto por [41].

Ainda, [42] apresenta uma variação topológica, unindo o conversor boost com células multiplicadoras de tensão para operação com alto fator de potência (Figura 1-19). Este conversor proporciona dois estágios para tensão de saída, onde a tensão dos capacitores é próxima

ao pico da tensão de entrada [42]. Tem como desvantagem o incremento das perdas de condução, pelo fato que, durante na etapa de armazenamento de energia, a corrente flui por três semicondutores.

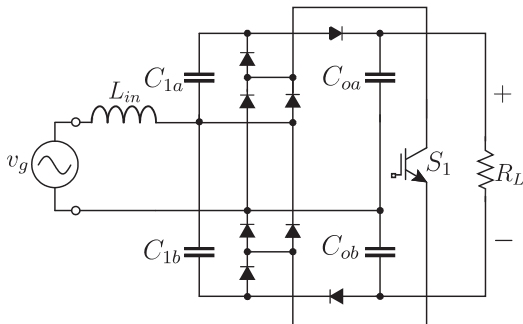


Figura 1-19 – Conversor ca-cc híbrido proposto por [42].

1.4 ANÁLISE GERAL SOBRE A REVISÃO BIBLIOGRÁFICA

Em suma, a combinação de um conversor boost com uma célula multiplicadora de tensão permite a extensão do ganho estático, reduzindo a razão cíclica a um valor menor, quando comparado a um conversor boost clássico. Devido à característica de fonte de corrente na entrada, estes conversores apresentam excelentes atributos para operação com elevado fator de potência, sanando assim, os problemas de distorção de corrente das topologias a capacitor chaveado puro. Esta “nova” forma de processamento de energia elétrica se mostra vantajosa para aplicações com alto ganho de tensão, tendo em vista que as soluções convencionais ou são volumosas (transformadores) ou onerosas (conversores multiníveis).

Com base na revisão bibliográfica apresentada, observa-se a lacuna existente de soluções que unam ao mesmo tempo: i) tensão de saída elevada ii) uso de interruptores de menor tensão, quando comparado à tensão de saída e iii) corrente de entrada com baixa distorção harmônica. As topologias que preencham esses requisitos ainda são muito poucas, deixando espaço para novas pesquisas.

Muitos dos conversores apresentados na literatura foram propostos visando aplicações de conversão cc-cc [43-47], não mencionando a possibilidade da conversão ca-cc. Por meio do rendimento obtido por

[39, 48], foi comprovado que é possível obter elevados rendimentos através da comutação entre capacitores.

1.5 PROPOSTA DA TESE

Basicamente, como já foi mencionado anteriormente, o conversor proposto por [39] se mostrou interessante do ponto de vista de rendimento e dinâmica. Contudo, as limitações desta topologia ficam restritas à alta ondulação de corrente no indutor de entrada, uma vez que os terminais do conversor podem somente impor dois níveis de tensão nestes. Igualmente, esse circuito necessita de uma ponte de diodos para retificação da tensão de entrada, o que aumenta as perdas de condução, ao passo que, durante a etapa de armazenamento de energia no indutor, três semicondutores estão em série no caminho da corrente.

Com base no que foi apresentado durante a revisão bibliográfica, por meio dos trabalhos de [32, 33, 42], esta tese propõe uma família de conversores monofásicos e trifásicos ca-cc unidirecionais, híbridos e com alto fator de potência, visando melhorias relacionadas à esforços de tensão/corrente, número de interruptores e corrente de entrada. Espera-se dessa nova família, tanto das estruturas monofásicas quanto das trifásicas, que possam ser controladas integralmente tanto a(s) corrente(s) de entrada, como à tensão de saída. Tendo em vista que o conversor proposto por [39] apresenta as desvantagem já citadas, é apresentada na Figura 1-20 a proposta de duas células genéricas de conversores ca-cc unidirecionais três níveis híbridos, aplicados à correção do fator de potência. Estas células apresentam ganho de tensão quatro vezes superior ao conversor boost clássico e duas vezes aos conversores mostrados na Figura 1-7. A cada célula pode se associar três possíveis subcélulas, formadas por conjuntos de interruptores comandados e diodos, gerando o total de seis conversores distintos com características particulares.

A Figura 1-21 exhibe os seis conversores possíveis de serem extraídos por meio da realização dos interruptores. Cada conversor opera com o mesmo princípio, ou seja, utiliza a comutação entre capacitores para realizar a elevação da tensão da saída e o indutor de entrada para controlar a corrente. Todos podem impor nos seus terminais de entrada (i_n) três níveis de tensão, $+V_o/4$, 0 , $-V_o/4$. Com isso é possível reduzir a ondulação de alta frequência, volume de dispositivos

magnéticos e problemas de compatibilidade eletromagnética. Na célula (a) todos os semicondutores estão submetidos a um quarto da tensão de saída V_o , enquanto que na célula (b) somente os diodos $D_{1,A}$ e $D_{1,B}$ ficam submetidos à metade da tensão de saída. Com isso, é possível o emprego de interruptores de menor capacidade de tensão e, deste modo, menores perdas de comutação e condução podem ser obtidas [23].

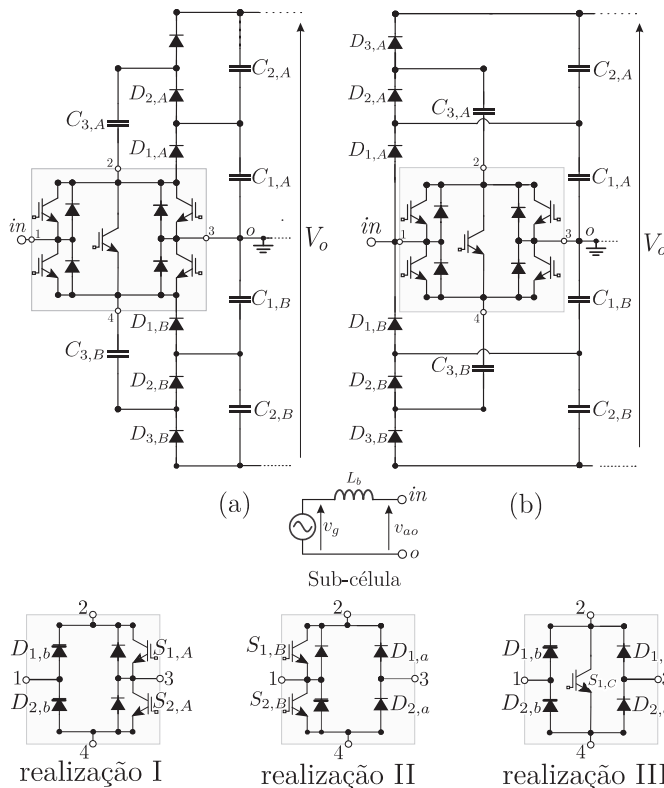


Figura 1-20 – Célula básica genérica dos conversores monofásicos propostos: (a) Célula A; (b) Célula B.

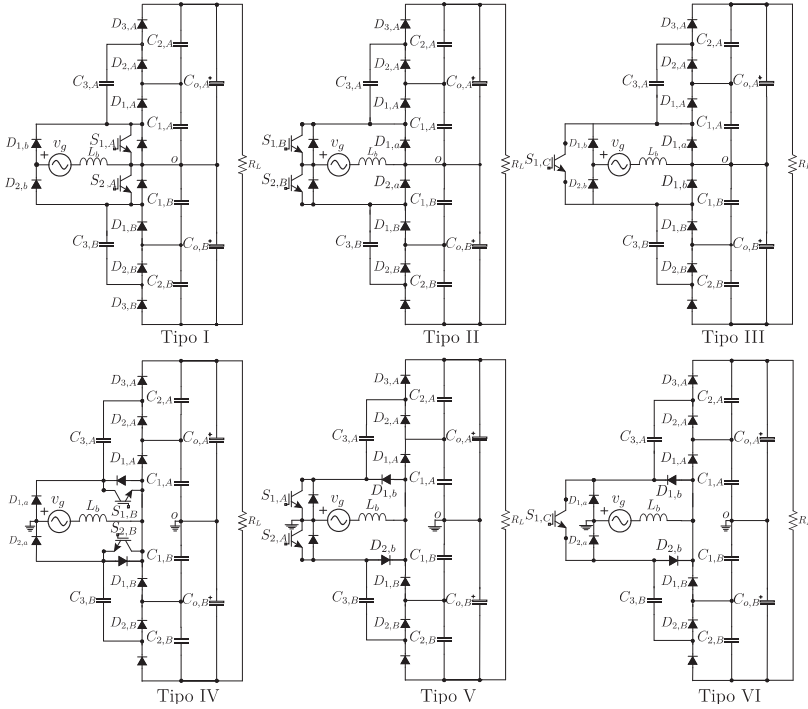


Figura 1-21 – Conversores ca-cc unidirecionais três-níveis híbridos propostos.

Foi mostrado que, os retificadores trifásicos unidirecionais não isolados populares, não são empregados em tensões superiores a 1000 V, devido ao incremento substancial das perdas de energia nos semicondutores. Com base nisto, este trabalho também propõe uma família de conversores trifásicos, operando com o mesmo princípio dos conversores híbridos monofásicos, podendo estes operarem facilmente com tensão de saída superior a 1000 V. Esta nova família não apresenta esforços elevados de tensão sobre os interruptores podendo, desta forma, se enquadrar em aplicações que necessitem de alto ganho de tensão, ao mesmo tempo em que não exijam isolamento ou reversibilidade de energia. Na Figura 1-22 são apresentadas duas células genéricas de conversores trifásicos. Cada célula pode gerar três topologias, por meio da modificação da célula de comutação, totalizando seis conversores. Os conversores resultantes são mostrados nas Figura 1-23 e Figura 1-24. Nas figuras não estão representadas as

fontes de tensão de entrada, indutores e carga, no entanto, subteende-se sua existência.

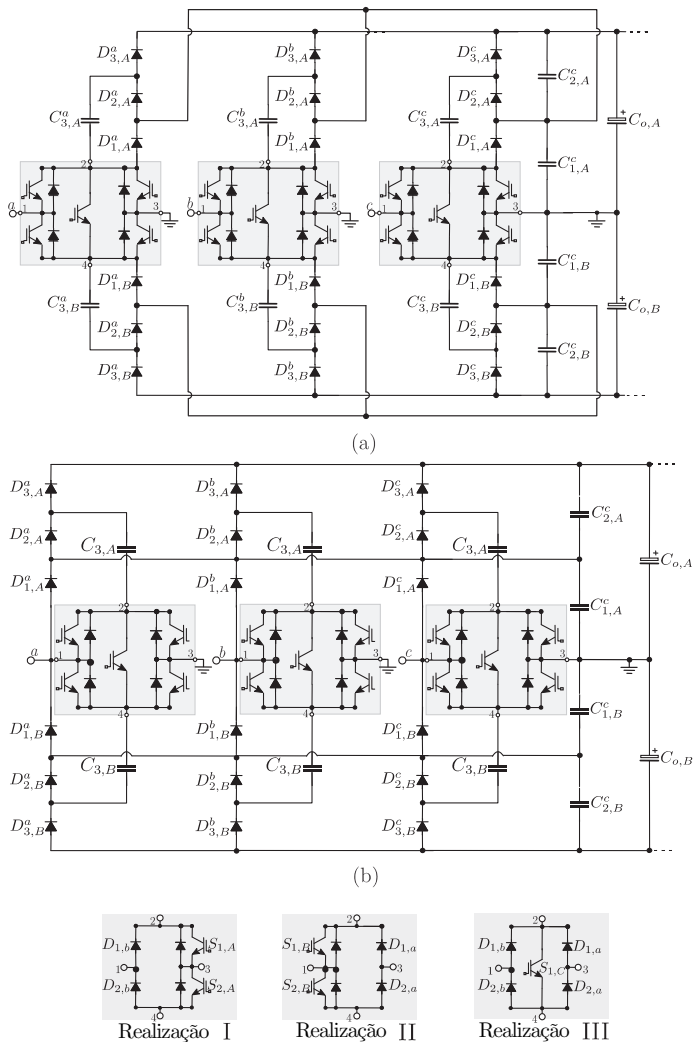


Figura 1-22 – Células genéricas de conversores trifásicos unidirecionais três-níveis híbridos.

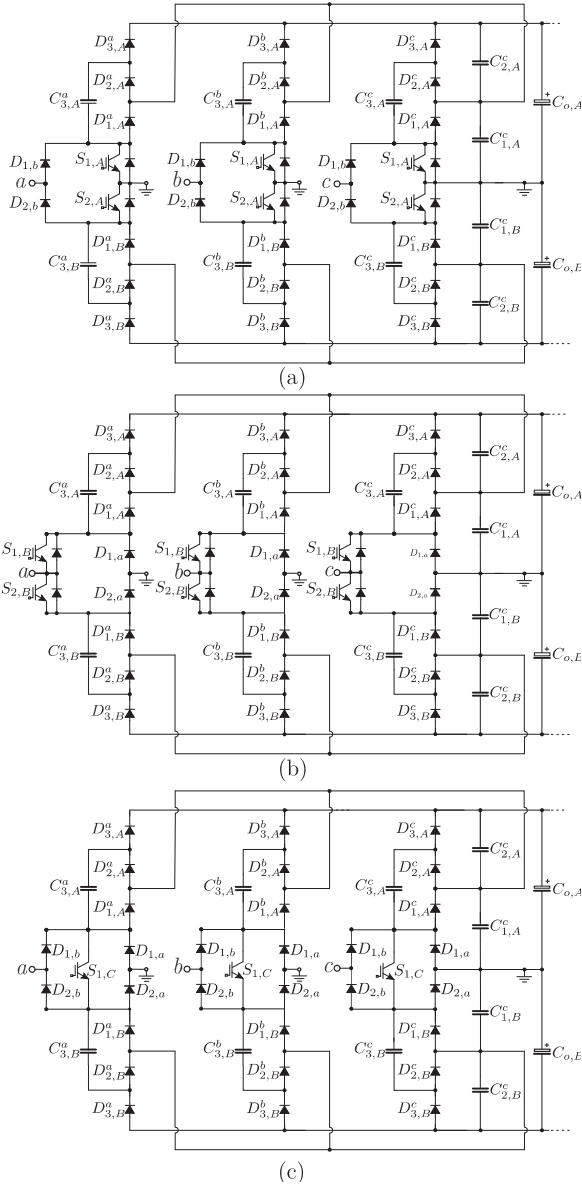


Figura 1-23 – Conversores trifásicos propostos oriundos da célula a: (a) Tipo I; (b) Tipo II e (c) Tipo III.

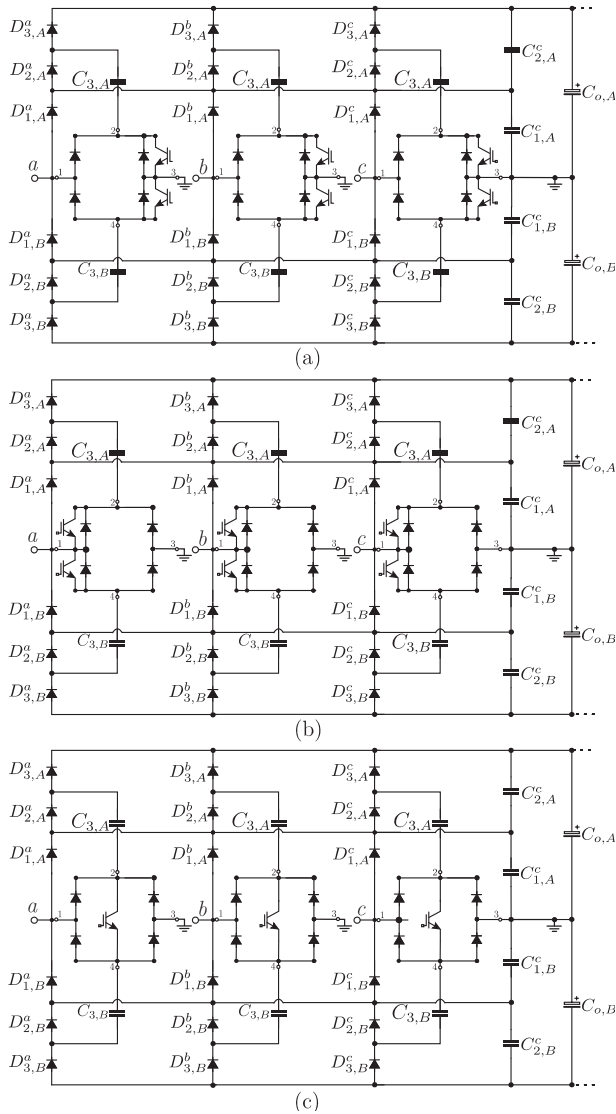


Figura 1-24 – Conversores trifásicos oriundos da célula b: (a) Tipo IV; (b) Tipo V e (c) Tipo VI.

1.6 OBJETIVOS E CONTRIBUIÇÕES METODOLOGIA ADOTADA

Esta tese tem como finalidade e contribuição propor uma nova família de retificadores híbridos, aplicados à correção do fator de potência e também alto ganho de tensão. Estes conversores integram dois conceitos distintos dentro da eletrônica de potência que são: i) os conversores elevadores por armazenamento indutivo (conversores boost); ii) conversores elevadores por chaveamento capacitivo. Por integrarem ao mesmo tempo estes dois conceitos recebem o nome de híbridos. O trabalho propõe a análise tanto de conversores monofásicos quanto de conversores trifásicos. Almeja-se com essa nova família a expectativa de integração no nicho emergente de conversores voltados a aplicações com alto ganho de tensão, que não necessitem de isolamento e/ou reversibilidade.

O trabalho seguirá a seguinte metodologia afim de verificar as característica da(s) solução(ões) proposta(s):

- Revisão bibliográfica: pesquisa de publicações referentes ao tema;
- Análise teórica qualitativa: análise das etapas de operação por meio da descrição dos circuitos e formas de onda relevantes;
- Análise teórica quantitativa: representação matemática dos estados topológicos e de equações pertinentes ao projeto do conversor, válidas para o modo de condução contínua;
- Análise teórica e qualitativa do controle: representação qualitativa dos aspectos relacionados à estratégia de controle, como também desenvolvimento matemático necessário ao projeto dos controladores;
- Estudo teórico dos aspectos relacionados à estratégia de modulação: análise de técnicas de modulação que podem ser empregadas visando benefícios à qualidade da corrente e perdas nos semicondutores;
- Verificações por simulação numérica: investigar o funcionamento do conversor e validar os estudos teóricos;
- Projeto físico e construção do protótipo: dimensionar e confeccionar um protótipo experimental a fim de validar os estudos, tanto teórico quanto de simulação;
- Análise sobre os resultados obtidos: realização de uma autoavaliação crítica dos resultados obtidos.

1.7 ORGANIZAÇÃO DO TRABALHO

Esta tese está disposta em oito capítulos destinados ao estudo de uma nova família de conversores com alto fator de potência e alto ganho de tensão.

No capítulo 2 são realizados estudos acerca dos conversores a capacitor chaveado puro, onde são destacadas as características e peculiaridade destes conversores. Ainda no mesmo capítulo, é introduzido o estudo do conversor cc-cc híbrido a capacitor chaveado. Nesse tópico é realizada uma análise extensa, no que concerne a obtenção de expressões matemáticas de tensões e correntes em todos os elementos.

No capítulo 3 é realizada a apresentação da família de conversores monofásicos propostos. São descritas as etapas de operação e destacadas as características de cada circuito. Como alvo de estudo é selecionada uma topologia, onde são deduzidas, a partir do estudo do conversor do capítulo anterior, equações matemáticas necessárias para compreensão dos conversores.

O capítulo 4 é destina-se a modelagem e controle dos conversores híbridos monofásicos propostos. É realizada a modelagem pela técnica de valores médios. São obtidas funções de transferências de tensão e corrente, necessárias para o projeto dos controladores. Os modelos matemáticos obtidos são validados por meio de simulação numérica.

No capítulo 5 é destinado aos procedimentos de projeto do conversor monofásico. Adicionalmente, os resultados de simulação e experimental serão apresentados.

No capítulo 6 é apresentada a família de conversores híbridos trifásicos. Inicialmente, é proposta a obtenção de conversores trifásicos por meio da extensão dos conversores monofásicos. Logo após, é feita a proposição de uma variação topológica, a qual permite a redução do número de capacitores. Também, é realizado o estudo dos conversores propostos. Este capítulo, assim como feito para os conversores monofásicos, é direcionado para uma topologia específica.

O capítulo 7 é destinado à modelagem dos conversores trifásicos. É realizada a abordagem de controle por variáveis síncronas. São obtidas funções de transferências para o controle das correntes e tensão de saída do conversor. Os modelos adquiridos são validados por meio de simulação numérica. Ainda, no mesmo capítulo são apresentados resultados de simulação do conversor proposto.

O capítulo 8 é voltado para apresentação dos resultados de simulação e experimentais. O objetivo é a comprovação de operação dos conversores propostos, por meio de formas de onda e curvas de rendimento.

Por fim, no capítulo 8 é apresentada uma conclusão geral do trabalho, bem como apontados trabalhos futuros.

1.8 PUBLICAÇÕES

A partir dos estudos realizados durante o período de doutoramento resultaram as seguintes publicações relacionadas ao tema:

[49] - Flores Cortez, D.; Waltrich, G.; Fraigneaud, J.; Miranda, H.; Barbi, I., "*DC-DC Converter for Dual Voltage Automotive Systems Based on Bidirectional Hybrid Switched-Capacitor Architectures*," Industrial Electronics, IEEE Transactions on , vol.PP, no.99, pp.1,1

[50] - Flores Cortez, D.; Barbi, I., "*A Family of High Voltage Gain Single-Phase Hybrid Switched-Capacitor PFC Rectifiers*," Power Electronics, IEEE Transactions on , vol.PP, no.99, pp.1,1

Os seguintes trabalhos foram desenvolvidos durante a tese e estão indiretamente relacionados com o tema do presente trabalho:

Flores Cortez, D. ; Barbi, I. . *Three-phase Inverter using multiple-states switching cell applied in grid connected wind power conversion systems*. In: Power Electronics South America, 2012, São Paulo. Power Electronics South America, 2012.

Corral Martínez Boris Luis, Flores Cortez Daniel, Barbi Ivo. "Diseño y Simulación de un Inversor Trifásico con Células de Conmutación de Cuatro Estados para la Conexión a Red de un Generador Eólico de 150 kW". 16 Convención Científica de Ingeniería y Arquitectura, La Habana, Cuba, 2012. ISBN:978-959-261-405-5

[51] - Flores Cortez, D.; Corral Martinez, B.L.; Barbi, I., "*Three-phase active power filter based on the four states commutation cell DC-AC converter. Design and implementation*," Power Electronics Conference (COBEP), 2013 Brazilian , vol., no., pp.1226,1233, 27-31 Oct. 2013

[52] - Flores Cortez, D.; Corral Martinez and I. Barbi, "Three-phase active power filter based on the four states commutation cell DC-AC converter. Design and implementation," Revista Eletrônica de Potência, vol. 3, pp. 312-320, 08/2014 2014.

Capítulo 2

Estudo dos conversores a capacitor chaveado e híbridos

ESTE capítulo tem por finalidade o estudo analítico de conversores básicos empregando células a capacitor chaveado e conversores híbridos. Objetiva-se, por meio do princípio de funcionamento e das equações, extrair as características que regem o funcionamento destes conversores, tais como vantagens e desvantagens dessa forma de processar energia elétrica. Para isso, são estudados conversores cc-cc básicos e, posteriormente, a extensão para ca-cc, a qual será empregada nos capítulos seguintes.

2.1 FUNDAMENTOS DOS CONVERSORES A CAPACITORES CHAVEADOS

Nas últimas décadas tem aumentado o interesse em tentar eliminar o uso de indutores e transformadores na conversão de energia elétrica. Isso se deve, principalmente, pelo fato desses elementos possuírem peso, volume e densidade de potência reduzida, somados a problemas com EMI e não possibilidade de integração em CIs [53-55]. Com base nesses fatores, tem crescido o número de trabalhos propondo soluções que dispõem somente de capacitores e interruptores, chamados de capacitores chaveados (SC). Estes conversores foram empregados inicialmente em aplicações em circuitos integrados, como reguladores de tensão, pois permitem a integração em *chips* e também a possibilidade de atingir elevados ganhos de tensão [56]. Além disso, também são encontrados em amplificadores de sinais, operando como filtros [53]. Os conversores a capacitor chaveado apresentam como

desvantagem a necessidade de uma combinação adequada entre os componentes e elementos parasitas do circuito como, por exemplo, resistências dos capacitores e interruptores. Em razão disso, esses conversores apresentam uma perda inerente de energia que, dependendo da tecnologia dos componentes, podem apresentar baixa eficiência. Contudo, as tecnologias existentes atualmente permitem atingir rendimentos elevados, acima de 98% [57].

2.1.1 Paradoxo dos capacitores em paralelo

O fenômeno da comutação de dois capacitores com tensões diferentes intriga muitos pesquisadores [58-60]. Considere o capacitor C_1 , com capacitância C e inicialmente carregado com tensão V_o do circuito da Figura 2-1 (a). Também, suponha que o capacitor C_2 está inicialmente descarregado, conforme ilustra a Figura 2-1 (a). A carga inicial do capacitor C_1 é dada por $Q_o = CV_o$ e a energia inicial é $E_o = CV_o^2/2 = Q_o V_o/2 = Q_o^2/(2C)$. Ambos os capacitores são considerados iguais e todos os elementos do circuito ideais. Em um dado instante de tempo o capacitor C_1 é conectado ao capacitor C_2 , através do interruptor S . Nesse instante, a carga presente no capacitor C_1 é transferida para o capacitor C_2 . Pelo princípio da conservação de carga, tem-se que os capacitores finalizam o processo com $Q_o/2$ e $V_o/2$ e, portanto, conclui-se que cada capacitor possui $CV_o^2/8 = E_o/4$. Assim, a energia total no final do processo é metade da energia inicial.

A partir do que foi exposto fica inevitável a pergunta: para onde foi a outra metade da energia? Essa resposta é facilmente respondida se for inserido um resistor no circuito, conforme ilustra a Figura 2-1 (b). Nesse caso a energia dissipada no resistor será

$$\int_0^\infty i(t)^2 R \, dt = \int_0^\infty \left(\frac{V_o}{R} e^{-2t/(RC)} \right)^2 R \, dt = \frac{CV_o^2}{4} = \frac{E_o}{2}. \quad (2.1)$$

A equação (2.1) é verdadeira para qualquer valor finito de R .

Voltando a pergunta anterior: o que acontece se não há perdas ôhmicas no circuito como, por exemplo, um supercondutor? Dessa pergunta advém o chamado paradoxo dos capacitores em paralelo. Há na literatura uma infinidade de respostas distintas com o intuito de “explicar” o fenômeno. Talvez a teoria mais aceita seja que a energia

perda seja irradiada em forma de ondas eletromagnéticas, em razão da corrente nos capacitores possuir comportamento impulsivo [59, 61, 62].

Esta tese de doutorado não tem a pretensão de se aprofundar na questão do paradoxo apresentado, por se tratar mais de uma questão de física do que de engenharia. Contudo, pode-se concluir que na comutação de dois capacitores ideais com tensões diferentes sempre haverá perdas, independente da presença de elementos dissipativos. Felizmente, nos circuitos reais há, além da presença de resistências, indutâncias parasitas que impedem que a corrente seja impulsiva [58].

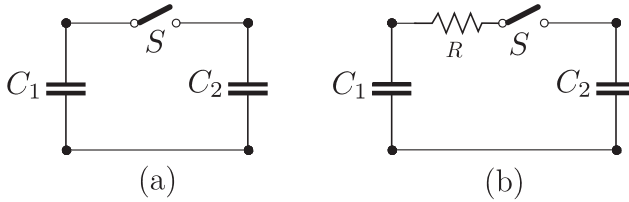


Figura 2-1 – Comutação entre capacitores: (a) ideal; (b) com resistência.

No exemplo apresentado pela Figura 2-1 (a) foi considerado que o capacitor C_2 está inicialmente descarregado. No entanto, se supormos que este está inicialmente carregado, com uma diferença de potencial em relação a C_1 de ΔV , chega-se à conclusão que a perda de energia é proporcional ao quadrado da diferença de potencial entre os capacitores. Assim, a energia perdida será

$$E_{perdida} = \frac{1}{2} C (\Delta V)^2. \quad (2.2)$$

A equação (2.2) mostra que para reduzir as perdas de energia é imprescindível que, durante a comutação, os capacitores tenham uma diferença de potencial entre si próximo de zero.

2.1.2 Conversor CC-CC básico a capacitor chaveado

Considere o conversor cc-cc básico a capacitor chaveado apresentado na Figura 2-2. Este é composto por dois interruptores e dois capacitores, que fazem a interface entre a fonte de entrada V_i e a

carga na saída R_o . Os interruptores S_1 e S_2 apresentam resistência série R_s e são comandados complementarmente, de tal modo que se pode analisar o circuito diante de duas etapas de operação.

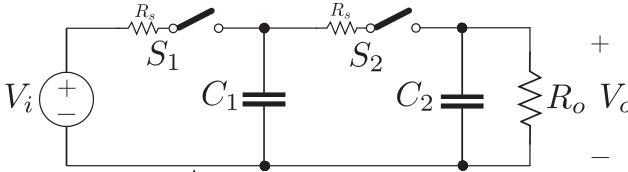


Figura 2-2 – Conversor CC-CC básico a capacitor chaveado.

Com o intuito de ilustração, na Figura 2-3 são apresentadas as formas de onda principais do conversor cc-cc básico a capacitor chaveado. Observa-se o comportamento exponencial tanto da tensão quanto da corrente no capacitor.

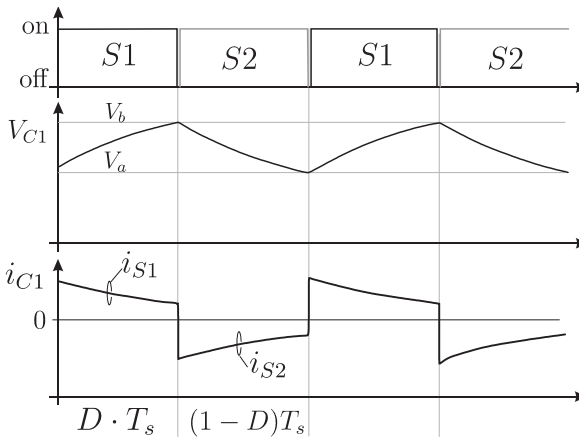


Figura 2-3 - Formas de onda básicas do conversor cc-cc básico a capacitor chaveado.

Por simplicidade, na análise será considerado que o capacitor C_2 apresenta capacitância suficientemente alta, de modo que a ondulação de tensão possa ser desprezada.

Para a primeira etapa de operação o interruptor S_1 é comandado a conduzir. Nesse instante é considerado que o capacitor C_1 esteja

inicialmente carregado com uma tensão V_a e o capacitor C_2 com uma tensão V_o , conforme ilustra a Figura 2-4. A partir do circuito equivalente desta etapa, tem-se que

$$i_{C1}^{1\circ}(t) = -\frac{e^{\frac{-(t-t_o)}{R_s C_1}}(V_a - V_i)}{R_s} \quad (2.3)$$

$$v_{C1}^{1\circ}(t) = V_i + (V_a - V_i) e^{\frac{-(t-t_o)}{R_s C_1}}, \quad (2.4)$$

onde $i_{C1}^{1\circ}$ e $v_{C1}^{1\circ}$ correspondem a corrente e tensão no capacitor C_1 durante a primeira etapa. A energia dissipada no resistor R_s durante essa etapa pode ser expressa como

$$E_{R_s}^{1\circ} = \int_{t_o}^{DT_s+t_o} i_{C1}^{1\circ}(t)^2 \cdot R_s dt. \quad (2.5)$$

Solucionando a equação (2.5) tem-se

$$E_{R_s}^{1\circ} = \frac{(\Delta V_1)^2}{2} C_1 \left(1 - e^{-\frac{2DT_s}{R_s C_1}} \right), \quad (2.6)$$

onde $\Delta V_1 = V_a - V_i$.

A corrente média referente ao interruptor S_1 é expressa como

$$I_{s,med} = \frac{1}{T_s} \int_0^{DT_s} i_{C1}^{1\circ}(t) dt. \quad (2.7)$$

Solucionando a equação (2.7) conclui-se que

$$I_{s,med} = C_1 \Delta V_1 \left(1 - e^{-\frac{DT_s}{R_s C_1}} \right) \cdot f_s, \quad (2.8)$$

onde f_s representa a frequência de comutação.

Colocando o termo ΔV_1 no lado esquerdo da equação (2.8), tem-se que

$$\Delta V_1 = \frac{I_{s,med}}{C_1 \left(1 - e^{\frac{-DT_s}{R_s C_1}} \right) \cdot f_s} \quad (2.9)$$

Substituindo a equação (2.9) na expressão (2.6), tem-se que

$$E_{R_s}^{1\circ} = \frac{I_{s,med}^2 \left(1 - e^{\frac{-2DT_s}{R_s C_1}} \right)}{2C_1 f_s^2 \left(1 - e^{\frac{-DT_s}{R_s C_1}} \right)^2}. \quad (2.10)$$

A primeira etapa segue até o instante de tempo $D \cdot T_s$ onde o capacitor C_1 atinge a tensão V_b .

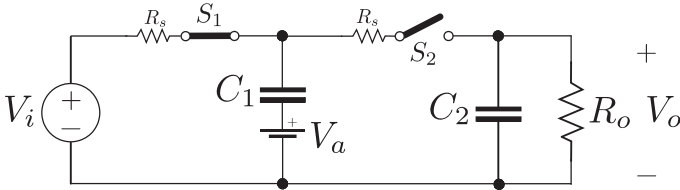


Figura 2-4 – Circuito equivalente referente à primeira etapa de operação.

A segunda etapa de operação dá início com o comando de condução do interruptor S_2 . Nesse instante, o capacitor C_1 está com tensão V_b e é conectado ao capacitor C_2 através da resistência R_s , conforme ilustra a Figura 2-5. A partir do circuito equivalente desta etapa tem-se que

$$i_{C_1}^{2\circ}(t) = -\frac{e^{\frac{-(t-DT_s)}{R_s C}} (V_b - V_o)}{R_s} \quad (2.11)$$

$$v_{C1}^{2o}(t) = V_o + (V_b - V_o) e^{\frac{-(t-DT_s)}{R_s C}}, \quad (2.12)$$

onde i_{C1}^{2o} e v_{C1}^{2o} correspondem a corrente e tensão no capacitor C_1 durante a segunda etapa. A energia dissipada no resistor R_s durante essa etapa pode ser expressa como

$$E_{Rs}^{2o} = \int_{DT_s}^{T_s} i_{C1}^{2o}(t)^2 \cdot R_s \, dt. \quad (2.13)$$

Solucionando a equação (2.5) tem-se

$$E_{Rs}^{2o} = \frac{(\Delta V_2)^2}{2} C_1 \left(1 - e^{-\frac{2(1-D)T_s}{R_s C_1}} \right), \quad (2.14)$$

onde $\Delta V_2 = V_b - V_o$.

A corrente média referente ao interruptor S_2 é expressa como

$$I_{s,med} = \frac{1}{T_s} \int_{DT_s}^{T_s} i_{C1}^{2o}(t) \, dt. \quad (2.15)$$

Solucionando a equação (2.15) conclui-se que

$$I_{s,med} = C_1 \Delta V_2 \left(1 - e^{-\frac{(1-D)T_s}{R_s C_1}} \right) \cdot f_s. \quad (2.16)$$

Colocando o termo ΔV_2 no lado esquerdo da equação (2.16) tem-se que

$$\Delta V_2 = \frac{I_{s,med}}{C_1 \left(1 - e^{-\frac{(1-D)T_s}{R_s C_1}} \right) \cdot f_s} \quad (2.17)$$

Substituindo a equação (2.17) na expressão (2.14) tem-se que

$$E_{R_s}^{2^o} = \frac{I_{s,med}^2 \left(1 - e^{\frac{-2(1-D)T_s}{R_s C_1}} \right)}{2C_1 f_s^2 \left(1 - e^{\frac{-(1-D)T_s}{R_s C_1}} \right)^2} \quad (2.18)$$

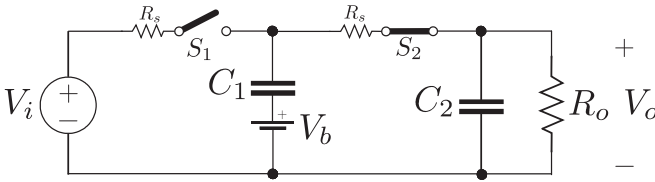


Figura 2-5 – Circuito equivalente referente à segunda etapa de operação.

2.1.3 Conceito de resistência equivalente

Um dos mais importantes conceitos em capacitores chaveados é relacionado ao circuito equivalente que esses circuitos propiciam em sua análise. Foi visto no início desta seção que a comutação de capacitores com tensões distintas resulta em perda de energia. Essa perda de energia pode ser representada por um resistor equivalente, de tal modo que se consiga interpretar de quais parâmetros do circuito essa perda é dependente.

O conversor da Figura 2-2, em tese, deve ter um ganho estático unitário, logo, idealmente, espera-se que a tensão de saída seja igual à tensão de entrada. Contudo, em consequência das perdas nas comutações do capacitor C_1 , a tensão de saída é menor que a tensão de entrada. Por isso, é conveniente expressar essa queda de tensão por meio de um circuito equivalente, conforme ilustrado na Figura 2-6. Neste circuito é inserido um resistor equivalente, R_{eq} , o qual é capaz de representar as perdas que existem no circuito. Logo, com as equações já obtidas é possível expressar a resistência do circuito e saber de quais parâmetros esta é função.

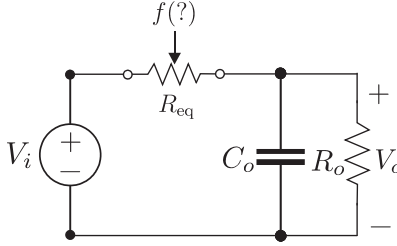


Figura 2-6 - Circuito equivalente contemplando a resistência equivalente.

A partir das equações (2.10) e (2.18), pode-se calcular a energia total dissipada. Assim,

$$E_{\text{total}} = E_{R_s}^{1^\circ} + E_{R_s}^{2^\circ}. \quad (2.19)$$

Solucionando a equação (2.19) se obtém:

$$E_{\text{total}} = \frac{I_{s,med}^2}{f_s^2 \cdot C_1} \frac{\left(e^{\frac{-1}{R_s C_1 f_s}} - 1 \right)}{\left(1 - e^{\frac{-(1-D)}{R_s C_1 f_s}} \right) \left(1 - e^{\frac{-D}{R_s C_1 f_s}} \right)}. \quad (2.20)$$

A potência dissipada é calculada como

$$P_{\text{total}} = E_{\text{total}} \cdot f_s. \quad (2.21)$$

Substituindo a equação (2.20) em (2.21), conclui-se que

$$P_{\text{total}} = \frac{I_{s,med}^2}{f_s \cdot C_1} \frac{\left(e^{\frac{-1}{R_s C_1 f_s}} - 1 \right)}{\left(1 - e^{\frac{-(1-D)}{R_s C_1 f_s}} \right) \left(1 - e^{\frac{-D}{R_s C_1 f_s}} \right)}. \quad (2.22)$$

Portanto, a resistência equivalente, R_{eq} , é calculada como

$$R_{eq} = \frac{P_{total}}{I_{s,med}^2} = \frac{1}{f_s \cdot C_1} \frac{\left(e^{\frac{-1}{R_s C_1 f_s}} - 1 \right)}{\left(1 - e^{\frac{-(1-D)}{R_s C_1 f_s}} \right) \left(1 - e^{\frac{-D}{R_s C_1 f_s}} \right)}. \quad (2.23)$$

Pode-se observar que a resistência equivalente R_{eq} depende basicamente de quatro parâmetros do circuito f_s , C_1 , R_s e D . A Figura 2-7 apresenta o comportamento de R_{eq} diante da variação da frequência f_s (a) e da razão cíclica D (b).

Fazendo,

$$R_{eq,min}^{(f_s)} = \lim_{f_s \rightarrow \infty} R_{eq} = \frac{R_s}{D \cdot (1 - D)}. \quad (2.24)$$

A equação (2.24) mostra que quando a frequência de comutação tende ao infinito a resistência equivalente tende a um valor finito maior que zero. Este valor depende da resistência série do circuito e também da razão cíclica. Outro aspecto interessante é que, a partir de um determinado valor de frequência de comutação, R_{eq} não varia substancialmente. Já a Figura 2-7 (b) mostra que a resistência equivalente é mínima quando a razão cíclica é 0,5, contudo, maior que zero.

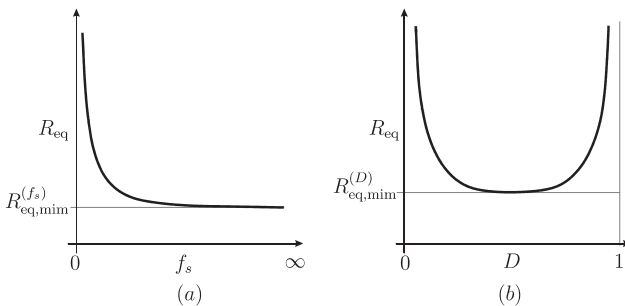


Figura 2-7 – Comportamento da resistência equivalente em função da: (a) frequência de comutação; (b) razão cíclica.

2.1.4 Interpretação física da resistência equivalente

O modelo para resistência equivalente, apresentado na Figura 2-6 é interessante para análise e interpretação matemática. No entanto, é de difícil interpretação física, quando comparado com o circuito original, em razão de o circuito equivalente ter todas as variáveis constantes, diferentemente do circuito original. Fisicamente, é mais compreensível analisar as perdas em um resistor por meio da corrente eficaz que flui por este, já que se sabe que as perdas variam com o quadrado desta corrente. Portanto, as expressões das correntes eficazes dos interruptores S_1 e S_2 são dadas por

$$I_{S1,ef} = \sqrt{\frac{1}{T_s} \int_0^{D \cdot T_s} i_{C1}^{1o}(t)^2 dt}, \quad (2.25)$$

$$I_{S2,ef} = \sqrt{\frac{1}{T_s} \int_0^{(1-D) \cdot T_s} i_{C1}^{2o}(t)^2 dt}. \quad (2.26)$$

Solucionando as equações, (2.25) e (2.26) se obtém

$$I_{S1,ef} = \frac{\sqrt{2} \cdot \Delta V_1}{2} \sqrt{\frac{C_1}{T_s \cdot R_s} \left(1 - e^{-\frac{2D \cdot T_s}{R_s C_1}} \right)}, \quad (2.27)$$

$$I_{S2,ef} = \frac{\sqrt{2} \cdot \Delta V_2}{2} \sqrt{\frac{C_1}{T_s \cdot R_s} \left(1 - e^{-\frac{2(1-D) \cdot T_s}{R_s C_1}} \right)}. \quad (2.28)$$

Substituindo a equação (2.9) em (2.27), e a expressão (2.17) em (2.28), se obtém

$$I_{S1,ef} = \frac{\sqrt{2} \cdot I_{s,med}}{2} \sqrt{\frac{C_1}{T_s \cdot R_s} \frac{\left(1 - e^{-\frac{2D \cdot T_s}{R_s C_1}} \right)}{\left(1 - e^{-\frac{D \cdot T_s}{R_s C_1}} \right)^2}}, \quad (2.29)$$

$$I_{S2,ef} = \frac{\sqrt{2} \cdot I_{s,med}}{2} \sqrt{\frac{C_1}{T_s \cdot R_s} \left(\frac{1 - e^{\frac{-2(1-D) \cdot T_s}{R_s C_1}}}{1 - e^{\frac{-(1-D) \cdot T_s}{R_s C_1}}} \right)^2}. \quad (2.30)$$

Considerando unitárias(os): a corrente média na carga $I_{s,med}$, o capacitor C_1 , o resistor R_s e o período de comutação T_s , pode-se ter um esboço do comportamento do valor eficaz das correntes nos interruptores, em função da variação da razão cíclica, conforme ilustra a Figura 2-8 (a). Nesta figura, pode-se constatar que para razões cíclicas baixas, menores que 0,5, o interruptor S_2 é favorecido em valor eficaz enquanto que o interruptor S_1 é estressado termicamente, sendo que, o oposto acontece para razões cíclicas altas. O resultado disto é que, dependendo da escolha da razão cíclica D , há um desequilíbrio de perdas entre os componentes do circuito. Verifica-se que o ponto de equilíbrio de perdas é quando a razão cíclica é igual a 0,5, onde se obtém os mesmos valores eficazes nos interruptores. Este fato condiz com o comportamento da resistência equivalente apresentada na Figura 2-7 (b), onde o ponto de mínima resistência converge para $D = 0,5$.

Outro aspecto interessante que influencia nas perdas de conversores a capacitor chaveado é a escolha da combinação entre resistência parasita e capacitância, também chamado de constante de tempo τ . Analisando a Figura 2-8 (b), observa-se que para constantes de tempo baixas, em relação ao tempo de comutação, ocorre a presença de elevados picos de corrente. Estes picos fazem com que se tenha o aumento do valor eficaz de corrente e, por consequência, incremento das perdas nos elementos resistivos do circuito. Conforme há o aumento da constante de tempo esses picos diminuem, no entanto, sem afetar o valor médio da corrente.

Portanto, deve-se fazer uma escolha adequada da constante de tempo, de tal forma que não ocorra perdas excessivas no circuito. Considera-se que a resistência R_s seja um parâmetro do interruptor, que não pode ser alterado no projeto. Logo, para atender a relação da constante de tempo, deve-se escolher o valor de capacitância dos capacitores. Resistências muito baixas levam a capacitores muito volumosos, enquanto que, valores de resistências muito elevadas levam a excessivas perdas.

Outro fator que influencia no comportamento das correntes é a escolha do período/frequência de comutação. A escolha da constante de tempo τ deve ser em relação ao tempo que ocorre a comutação dos capacitores. Portanto, para um dado intervalo de comutação, deve-se avaliar se a constante de tempo τ é adequada para evitar perdas excessivas no circuito.

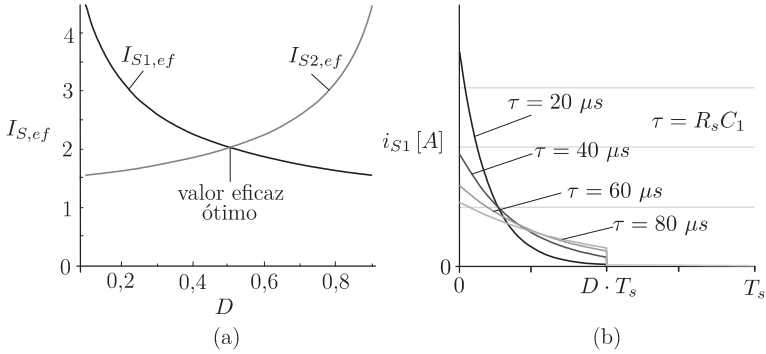


Figura 2-8 – Comportamento das correntes no interruptor: (a) comportamento do valor eficaz dos interruptores S_1 e S_2 em função da razão cíclica; (b) comportamento da corrente no interruptor S_1 para diversos valores de constantes de tempo.

A partir do comportamento das correntes, conforme ilustrado na Figura 2-8 (b), a referência [63] propôs a definição de três modos de operação, com base na escolha da constante de tempo τ . A nomenclatura usada neste texto será a mesma designada pelo autor, usando termos em inglês. Para constantes de tempo muito inferiores ao período de comutação, $\tau \ll T_s$, dá-se o nome de *complete-charge* (CC); para constantes de tempos próximas ao período de comutação $\tau \approx T_s$ é dado o nome de *partial-charge* (PC) e, para constantes de tempo muito superiores ao período de comutação, $\tau \gg T_s$, é dado o nome de *no-charge* (NC). A Figura 2-9 ilustra os três modos de condução mencionados.

De acordo com que já foi dito nesta seção, o modo que leva as menores perdas é o *no-charge*, pois apresenta menor valor eficaz de corrente, devido ao fato da corrente ser constante durante o período de comutação. Contudo, este modo geralmente leva a frequências de

comutação elevadas ou a valores muito altos de capacitâncias. O uso de frequências elevadas implica em outras consequências para o circuito como, por exemplo, perdas de comutação nos interruptores e, por isso, deve ser limitada. Havendo uma limitação para a escolha da frequência de comutação, a determinação do modo *no-charge* recai no valor da capacitância. Essas considerações supõem que a resistência parasita R_s não possa ser alterada, mas que seja um parâmetro físico do interruptor.

Portanto, para fins práticos, o modo *parcial-charge* oferece a melhor combinação para perdas, frequência e capacitância, pois não leva a valores muito elevados de capacitância e também não rende perdas por efeito Joule excessivas.

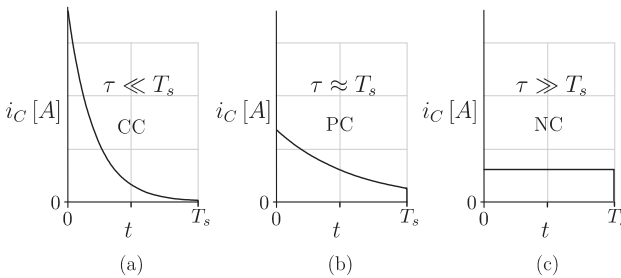


Figura 2-9 – Definição dos modos de operação das correntes nos capacitores: (a) *complete-charge* (CC); (b) *parcial-charge* (PC); (c) *no-charge* (NC).

2.2 CONVERSOR CC-CC HÍBRIDOS A CAPACITOR CHAVEADO

Na seção anterior foram apresentados os fundamentos dos conversores a capacitor chaveado puros. Os conversores citados possuem pouca utilidade prática, pois proporcionam, idealmente, ganho unitário e baixa regulação da tensão de saída. Contudo, a referida seção teve como objetivo a elucidação dos fenômenos envolvidos na comutação de capacitores, o que a torna extremamente importante.

A presente seção tem por finalidade introduzir o estudo direcionado de conversores híbridos. Estes conversores já foram mencionados na introdução geral, onde foram destacadas suas características frente aos SCs.

Será utilizado como fonte de estudo o conversor cc-cc proposto por [64], já que apresenta características semelhantes aos conversores propostos por esta tese. Muitas das equações obtidas nesta seção serão utilizadas para análise dos conversores ca-cc, apresentados posteriormente.

Na Figura 2-10 é exibido o conversor cc-cc híbrido a capacitor chaveado. Trata-se de um conversor elevador, acrescido de uma célula multiplicadora do tipo diodo-capacitor. Na figura em questão estão representadas as resistências parasitas dos capacitores, r_C , onde são consideradas iguais. O capacitor de saída C_o não está presente na topologia original proposta, contudo, pode-se provar que a presença deste faz com que sejam equalizadas as correntes nos capacitores C_1 e C_2 e, por isso, esse elemento será empregado na análise.

Na análise será considerado que o conversor opera no modo de operação *no-charge* (NC), ou seja, as correntes nos capacitores são consideradas constantes durante o tempo de comutação.

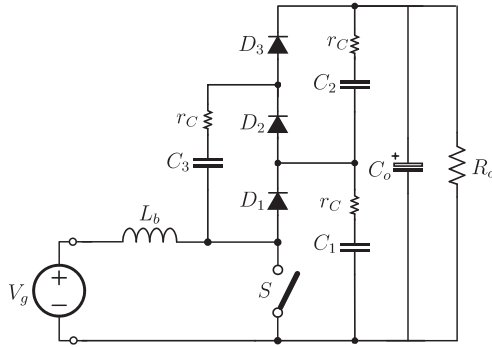


Figura 2-10 – Conversor cc-cc híbrido a capacitor chaveado.

2.2.1 Primeira etapa de operação

A primeira etapa é caracterizada pelo comando de condução do interruptor S , chamada de etapa de armazenamento de energia. Durante esse período, o capacitor C_1 transfere sua carga ao capacitor C_3 , por meio do diodo D_2 . Ao mesmo tempo, o indutor armazena energia da fonte de entrada V_g . Nesse período, os diodos D_1 e D_3 permanecem bloqueados, enquanto que capacitor C_2 é carregado e C_o é descarregado. A etapa em questão está ilustrada na Figura 2-11.

Nessa figura estão desenhadas as convenções de sentidos de tensões e correntes necessárias para o equacionamento.

As equações que descrevem a primeira etapa de operação são escritas a seguir:

$$v_g = v_L \quad (2.31)$$

$$i_{C2} = i_{C1} + i_{C3} \quad (2.32)$$

$$v_{C1} = -i_{C1} \cdot r_C + i_{C3} \cdot r_C + v_{C3} \quad (2.33)$$

$$v_{C_o} = i_{C2} \cdot r_C + v_{C2} + i_{C1} \cdot r_C + v_{C1} \quad (2.34)$$

$$+i_{C2} + i_{C_o} + \frac{v_{C_o}}{R_o} = 0 \quad (2.35)$$

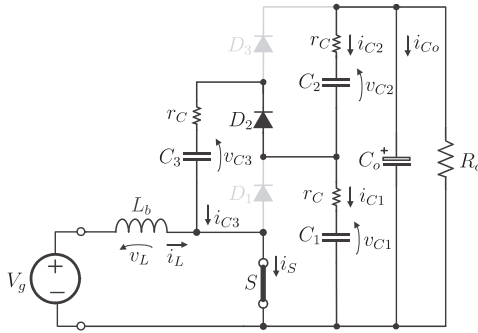


Figura 2-11 – Primeira etapa de operação do conversor cc-cc híbrido a capacitor chaveado.

Solucionando as equações de (2.31) a (2.35) obtém-se as correntes nos capacitores e tensão no indutor.

Deste modo, a tensão no indutor é

$$v_L = k_{1,1} \cdot i_L + k_{1,2} \cdot v_{C1} + k_{1,3} \cdot v_{C2} + k_{1,4} \cdot v_{C3} + k_{1,5} v_{Co} + m_{1,1} \cdot v_g \quad (2.36)$$

A equação (2.36) pode ser reescrita co

$$L \frac{di_L}{dt} = k_{1,1} \cdot i_L + k_{1,2} \cdot v_{C1} + k_{1,3} \cdot v_{C2} + k_{1,4} \cdot v_{C3} + k_{1,5} \cdot v_{Co} + m_{1,1} \cdot v_g, \quad (2.37)$$

onde

$$\begin{cases} k_{1,1} = 0 \\ k_{1,2} = 0 \\ k_{1,3} = 0 \\ k_{1,4} = 0 \\ m_{1,1} = 1 \end{cases} \quad (2.38)$$

A corrente no capacitor C_1 é dada por

$$C_1 \frac{dv_{C1}}{dt} = k_{2,1} \cdot i_L + k_{2,2} \cdot v_{C1} + k_{2,3} \cdot v_{C2} + k_{2,4} \cdot v_{C3} + k_{2,5} \cdot v_{Co}, \quad (2.39)$$

onde

$$\begin{cases} k_{2,1} = 0 \\ k_{2,2} = \frac{-2}{3r_C} \\ k_{2,3} = \frac{-1}{3r_C} \\ k_{2,4} = \frac{1}{3r_C} \\ k_{2,5} = \frac{1}{3r_C} \end{cases} \quad (2.40)$$

A corrente no capacitor C_2 é dada por

$$C_2 \frac{dv_{C2}}{dt} = k_{3,1} \cdot i_L + k_{3,2} \cdot v_{C1} + k_{3,3} \cdot v_{C2} + k_{3,4} \cdot v_{C3} + k_{3,5} \cdot v_{Co}, \quad (2.41)$$

onde

$$\begin{cases} k_{3,1} = 0 \\ k_{3,2} = \frac{-1}{3r_G} \\ k_{3,3} = \frac{-2}{3r_G} \\ k_{3,4} = \frac{-1}{3r_C} \\ k_{3,5} = \frac{-1}{3r_C} \end{cases} \quad (2.42)$$

A corrente no capacitor C_3 é dada por

$$C_3 \frac{dv_{C3}}{dt} = k_{4,1} \cdot i_L + k_{4,2} \cdot v_{C1} + k_{4,3} \cdot v_{C2} + k_{4,4} \cdot v_{C3} + k_{4,5} \cdot v_{Co}, \quad (2.43)$$

onde

$$\begin{cases} k_{4,1} = 0 \\ k_{4,2} = \frac{1}{3r_G} \\ k_{4,3} = \frac{-1}{3r_G} \\ k_{4,4} = \frac{-2}{3r_C} \\ k_{4,5} = \frac{1}{3r_C} \end{cases} \quad (2.44)$$

A corrente no capacitor C_o é dada por

$$C_o \frac{dv_{Co}}{dt} = k_{5,1} \cdot i_L + k_{5,2} \cdot v_{C1} + k_{5,3} \cdot v_{C2} + k_{5,4} \cdot v_{C3} + k_{5,5} \cdot v_{Co}, \quad (2.45)$$

onde

$$\begin{cases} k_{5,1} = 0 \\ k_{5,2} = \frac{1}{3r_C} \\ k_{5,3} = \frac{2}{3r_C} \\ k_{5,4} = \frac{1}{3r_C} \\ k_{5,5} = \frac{1}{3} \frac{2R_o + 3r_C}{r_C R_o} \end{cases} \quad (2.46)$$

As equações (2.36), (2.39), (2.41), (2.43) e (2.46) podem ser colocadas no formato matricial, na forma

$$\dot{x} = \mathbf{A}x + \mathbf{B}u, \quad (2.47)$$

$$y = \mathbf{C}x, \quad (2.48)$$

onde

$$\dot{x} = \begin{bmatrix} \frac{di_L}{dt} \\ \frac{dv_{C1}}{dt} \\ \frac{dv_{C2}}{dt} \\ \frac{dv_{C3}}{dt} \\ \frac{dv_{Co}}{dt} \end{bmatrix}, \quad (2.49)$$

representa o vetor das derivadas das variáveis de estados do conversor,

$$x = \begin{bmatrix} i_L \\ v_{C1} \\ v_{C2} \\ v_{C3} \\ v_{Co} \end{bmatrix}, \quad (2.50)$$

o vetor contendo as variáveis de estado do conversor,

$$u = \begin{bmatrix} v_g \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix}, \quad (2.51)$$

vetor que representa as entradas do conversor e

$$y = \begin{bmatrix} i_L \\ v_{Co} \end{bmatrix} \quad (2.52)$$

o vetor que representa as variáveis de saída desejadas.

Colocando as equações (2.36), (2.37), (2.39), (2.41), (2.43), (2.45) na forma matricial, tem-se:

$$\mathbf{A}_1 = \begin{bmatrix} \frac{1}{L}k_{1,1} & \frac{1}{L}k_{1,2} & \frac{1}{L}k_{1,3} & \frac{1}{L}k_{1,4} & \frac{1}{L}k_{1,5} \\ \frac{1}{C_1}k_{2,1} & \frac{1}{C_1}k_{2,2} & \frac{1}{C_1}k_{2,3} & \frac{1}{C_1}k_{2,4} & \frac{1}{C_1}k_{2,5} \\ \frac{1}{C_2}k_{3,1} & \frac{1}{C_2}k_{3,2} & \frac{1}{C_2}k_{3,3} & \frac{1}{C_2}k_{3,4} & \frac{1}{C_2}k_{3,5} \\ \frac{1}{C_3}k_{4,1} & \frac{1}{C_3}k_{4,2} & \frac{1}{C_3}k_{4,3} & \frac{1}{C_3}k_{4,4} & \frac{1}{C_3}k_{4,5} \\ \frac{1}{C_o}k_{5,1} & \frac{1}{C_o}k_{5,2} & \frac{1}{C_o}k_{5,3} & \frac{1}{C_o}k_{5,4} & \frac{1}{C_o}k_{5,5} \end{bmatrix} \quad (2.53)$$

$$\mathbf{B}_1 = \begin{bmatrix} m_{1,1} \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad (2.54)$$

2.2.2 Segunda etapa de operação

A segunda etapa de operação é caracterizada pelo bloqueio do interruptor S , chamada de etapa de transferência de energia. Neste instante o diodo D_1 entra em condução e transfere parte da energia armazenada no indutor para o capacitor C_1 . Ao mesmo tempo, o capacitor C_3 transfere energia para carga, através do diodo D_3 . Tal etapa está ilustra na Figura 2-12.

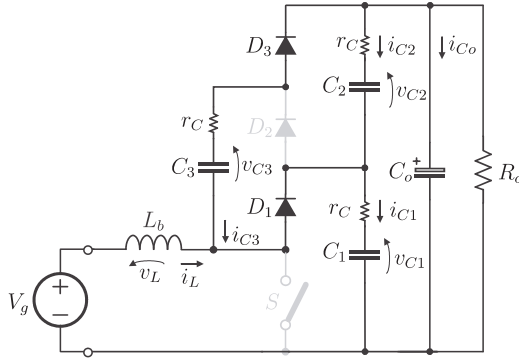


Figura 2-12 – Segunda etapa de operação do conversor cc-cc híbrido a capacitor chaveado.

As equações que descrevem a segunda etapa de operação são escritas a seguir:

$$v_g = v_L + i_{C1} \cdot r_C + v_{C1} \quad (2.55)$$

$$i_{C1} = i_{C3} + i_L + i_{C2} \quad (2.56)$$

$$+i_{C2} + i_{C2} + \frac{v_{Co}}{R_o} + i_{Co} = 0 \quad (2.57)$$

$$v_{C3} = -i_{C3} \cdot r_C + i_{C2} \cdot r_C + v_{C2} \quad (2.58)$$

$$v_{Co} = i_{C2} \cdot r_C + v_{C2} + i_{C1} \cdot r_C + v_{C1}, \quad (2.59)$$

Solucionando o conjunto de equações de (2.55) a (2.58) obtém-se as correntes nos capacitores e tensão sobre o indutor, referente a esta etapa.

A tensão sobre o indutor é dada por

$$L \frac{di_L}{dt} = j_{1,1} \cdot i_L + j_{1,2} \cdot v_{C1} + j_{1,3} \cdot v_{C2} + j_{1,4} \cdot v_{C3} + j_{1,5} \cdot v_{Co} + n_{1,1} \cdot v_g \quad (2.60)$$

onde

$$\begin{cases} j_{1,1} = \frac{-r_C}{3} \\ j_{1,2} = \frac{-1}{3} \\ j_{1,3} = \frac{1}{3} \\ j_{1,4} = \frac{1}{3} \\ n_{1,1} = \frac{-2}{3} \end{cases} \quad (2.61)$$

A corrente no capacitor C_1 é dada por

$$C_1 \frac{dv_{C1}}{dt} = j_{2,1} \cdot i_L + j_{2,2} \cdot v_{C1} + j_{2,3} \cdot v_{C2} + j_{2,4} \cdot v_{C3} + j_{2,5} \cdot v_{Co}, \quad (2.62)$$

onde

$$\begin{cases} j_{2,1} = \frac{1}{3} \\ j_{2,2} = \frac{-2}{3r_C} \\ j_{2,3} = \frac{1}{3r_C} \\ j_{2,4} = \frac{-1}{3r_C} \\ j_{2,5} = \frac{2}{3r_C} \end{cases} \quad (2.63)$$

A corrente no capacitor C_2 é dada por

$$C_2 \frac{dv_{C2}}{dt} = j_{3,1} \cdot i_L + j_{3,2} \cdot v_{C1} + j_{3,3} \cdot v_{C2} + j_{3,4} \cdot v_{C3} + j_{3,5} \cdot v_{Co}, \quad (2.64)$$

onde

$$\begin{cases} j_{3,1} = \frac{-1}{3} \\ j_{3,2} = \frac{-1}{3r_C} \\ j_{3,3} = \frac{-2}{3r_C} \\ j_{3,4} = \frac{1}{3r_C} \\ j_{3,5} = \frac{1}{3r_C} \end{cases} \quad (2.65)$$

A corrente no capacitor C_3 é dada por

$$C_3 \frac{dv_{C3}}{dt} = j_{4,1} \cdot i_L + j_{4,2} \cdot v_{C1} + j_{4,3} \cdot v_{C2} + j_{4,4} \cdot v_{C3} + j_{4,5} \cdot v_{Co}, \quad (2.66)$$

onde

$$\begin{cases} j_{4,1} = \frac{-1}{3} \\ j_{4,2} = \frac{-1}{3r_C} \\ j_{4,3} = \frac{1}{3r_C} \\ j_{4,4} = \frac{-2}{3r_C} \\ j_{4,5} = \frac{1}{3r_C} \end{cases} \quad (2.67)$$

A corrente no capacitor C_o é dada por

$$C_o \frac{dv_{Co}}{dt} = j_{5,1} \cdot i_L + j_{5,2} \cdot v_{C1} + j_{5,3} \cdot v_{C2} + j_{5,4} \cdot v_{C3} + j_{5,5} \cdot v_{Co}, \quad (2.68)$$

onde

$$\begin{cases} k_{5,1} = \frac{2}{3} \\ k_{5,2} = \frac{2}{3r_C} \\ k_{5,3} = \frac{1}{3r_C} \\ k_{5,4} = \frac{1}{3r_C} \\ k_{5,5} = \frac{-1}{3} \frac{2R_o + 3r_C}{r_C R_o} \end{cases} . \quad (2.69)$$

Representando as equações (2.60), (2.62), (2.64), (2.66) e (2.69) na forma matricial, resulta em:

$$\mathbf{A}_2 = \begin{bmatrix} \frac{1}{L} \dot{j}_{1,1} & \frac{1}{L} \dot{j}_{1,2} & \frac{1}{L} \dot{j}_{1,3} & \frac{1}{L} \dot{j}_{1,4} & \frac{1}{L} \dot{j}_{1,5} \\ \frac{1}{C_1} \dot{j}_{2,1} & \frac{1}{C_1} \dot{j}_{2,2} & \frac{1}{C_1} \dot{j}_{2,3} & \frac{1}{C_1} \dot{j}_{2,4} & \frac{1}{C_1} \dot{j}_{2,5} \\ \frac{1}{C_2} \dot{j}_{3,1} & \frac{1}{C_2} \dot{j}_{3,2} & \frac{1}{C_2} \dot{j}_{3,3} & \frac{1}{C_2} \dot{j}_{3,4} & \frac{1}{C_2} \dot{j}_{3,5} \\ \frac{1}{C_3} \dot{j}_{4,1} & \frac{1}{C_3} \dot{j}_{4,2} & \frac{1}{C_3} \dot{j}_{4,3} & \frac{1}{C_3} \dot{j}_{4,4} & \frac{1}{C_3} \dot{j}_{4,5} \\ \frac{1}{C_o} \dot{j}_{5,1} & \frac{1}{C_o} \dot{j}_{5,2} & \frac{1}{C_o} \dot{j}_{5,3} & \frac{1}{C_o} \dot{j}_{5,4} & \frac{1}{C_o} \dot{j}_{5,5} \end{bmatrix} \quad (2.70)$$

$$\mathbf{B}_2 = \begin{bmatrix} n_{1,1} \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} . \quad (2.71)$$

O modelo do conversor por valores médios, quando o conversor opera em um ponto de equilíbrio, é

$$0 = \mathbf{A}X + \mathbf{B}U \quad (2.72)$$

$$Y = \mathbf{C}X \quad (2.73)$$

onde as matrizes \mathbf{A} , \mathbf{B} e \mathbf{C} são

$$\begin{aligned}
\mathbf{A} &= D\mathbf{A}_1 + (1 - D)\mathbf{A}_2 \\
\mathbf{B} &= D\mathbf{B}_1 + (1 - D)\mathbf{B}_2 \\
\mathbf{C} &= D\mathbf{C}_1 + (1 - D)\mathbf{C}_2
\end{aligned} \tag{2.74}$$

onde

$$\mathbf{C}_1 = \mathbf{C}_2 = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \end{bmatrix} \tag{2.75}$$

e D representa a razão cíclica no ponto de operação. Assim,

$$\mathbf{C} = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \end{bmatrix}. \tag{2.76}$$

Por meio da equação (2.72), tem-se que

$$X = -\mathbf{A}^{-1}\mathbf{B}U. \tag{2.77}$$

Solucionando (2.77), obtém-se:

$$X = \begin{bmatrix} I_L \\ V_{C1} \\ V_{C2} \\ V_{C3} \\ V_{Co} \end{bmatrix} = \begin{bmatrix} \frac{-8DV_g}{(-2DR_o - 3r_C + 2R_oD^2)(1-D)} \\ \frac{(2R_oD^2 - 2DR_o + 2Dr_C - 3r_C)V_g}{(-2DR_o - 3r_C + 2R_oD^2)(1-D)} \\ \frac{(2R_oD^2 - 2DR_o - 2Dr_C + 3r_C)V_g}{(-2DR_o - 3r_C + 2R_oD^2)(1-D)} \\ \frac{(-2DR_o - 4Dr_C + 3r_C + 2R_oD^2)}{(-2DR_o - 3r_C + 2R_oD^2)(1-D)} \\ -\frac{4DR_oV_g}{(-2DR_o - 3r_C + 2R_oD^2)} \end{bmatrix} \quad (2.78)$$

As grandezas com letra maiúsculas em (2.78) representam os valores médios das variáveis de estado.

A solução de (2.78) é função da resistência dos capacitores r_C . Contudo, se for desprezada a influencia desta nas equações, pode-se chegar à expressões simples e objetivas. Deste modo, a solução do vetor X , supondo o conversor ideal é

$$X = \begin{bmatrix} I_L \\ V_{C1} \\ V_{C2} \\ V_{C3} \\ V_{Co} \end{bmatrix} = \begin{bmatrix} \frac{4V_g}{R_o(1-D)^2} \\ \frac{V_g}{(1-D)} \\ \frac{V_g}{(1-D)} \\ \frac{V_g}{(1-D)} \\ \frac{2V_g}{(1-D)} \end{bmatrix} \quad (2.79)$$

O ganho estático ideal é dado por

$$G = \frac{V_{Co}}{V_g} = \frac{V_{C1} + V_{C2}}{V_g} = \frac{2}{(1-D)} \quad (2.80)$$

Por meio da equação (2.80) conclui-se que o ganho estático do conversor cc-cc híbrido é o dobro do conversor boost clássico.

2.2.3 Análise de esforços de corrente

A corrente no capacitor C_1 para a primeira etapa de operação foi definida na equação (2.39) que, por conveniência é reescrita na equação (2.81).

$$C_1 \frac{dv_{C1}}{dt} = k_{2,1} \cdot i_L + k_{2,2} \cdot v_{C1} + k_{2,3} \cdot v_{C2} + k_{2,4} \cdot v_{C3} + k_{2,5} \cdot v_{Co}. \quad (2.81)$$

A equação (2.81) depende das tensões sobre os capacitores e da corrente no indutor que, por consequência, dependem da razão cíclica. Substituindo a equação de soluções de (2.78) na equação (2.81), obtém-se a corrente no capacitor C_1 referente à primeira etapa de operação. Note que as variáveis em (2.79) são constantes. Essas variáveis são substituídas por suas respectivas variáveis no tempo. Este procedimento irá resultar em uma corrente com derivada nula, ou seja, uma corrente constante. Assim,

$$i'_{C1} = V_g \cdot f(R_o, r_C, D, i_L), \quad (2.82)$$

$$i'_{C1} = \frac{2 \cdot V_g}{(-1 + D) 2D \cdot R_o - 3r_C}. \quad (2.83)$$

O mesmo processo pode ser realizado para obter a expressão da corrente no capacitor C_1 para a segunda etapa de operação. Deste modo, tem-se que

$$i''_{C1} = \frac{-2DV_g}{\left((-1 + D) 2DR_o - 3r_C \right) (1 - D)}. \quad (2.84)$$

- **Corrente eficaz no capacitor C_1**

A corrente eficaz quase instantânea pode ser calculada como

$$\langle i_{C1} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{DT_s} i_{C1}'^2 dt + \int_{DT_s}^{T_s} i_{C1}''^2 dt \right)}. \quad (2.85)$$

Solucionando a equação (2.85) obtém-se

$$\langle i_{C1} \rangle_{T_s} = 2 \sqrt{\frac{V_g^2 D}{(1-D)(2DR_o - 3r_C + 2R_o D^2)^2}}. \quad (2.86)$$

Por meio da equação (2.79) tem-se que a seguinte relação é verdadeira

$$V_g = \frac{I_L \cdot R_o (1-D)^2}{4}. \quad (2.87)$$

Substituindo a equação (2.87) na expressão (2.86) e desprezando a influencia de r_C , se obtém

$$\langle i_{C1} \rangle_{T_s} = \frac{I_L}{4} \sqrt{\frac{(1-D)}{D}}. \quad (2.88)$$

- **Corrente eficaz no capacitor C_2**

A corrente no capacitor C_2 foi definida na equação (2.41) que, por conveniência é reescrita na equação (2.89).

$$C_2 \frac{dv_{C2}}{dt} = k_{3,1} \cdot i_L + k_{3,2} \cdot v_{C1} + k_{3,3} \cdot v_{C2} + k_{3,4} \cdot v_{C3} + k_{3,5} \cdot v_{Co}. \quad (2.89)$$

Substituindo a equação de soluções de (2.78) na equação (2.89), obtém-se a corrente no capacitor C_2 referente à primeira etapa de operação. Assim,

$$i'_{C2} = V_g \cdot f(R_o, r_C, D, i_L), \quad (2.90)$$

$$i'_{C2} = -\frac{2 \cdot V_g}{(-1 + D) 2D \cdot R_o - 3r_C}. \quad (2.91)$$

O mesmo processo pode ser realizado para obter a expressão da corrente no capacitor C_2 para a segunda etapa de operação. Deste modo, tem-se que

$$i''_{C2} = \frac{2DV_g}{\left((1 - D) 2DR_o + 3r_C \right) (1 - D)}. \quad (2.92)$$

A corrente eficaz local ou eficaz quase instantânea pode ser calculada como

$$\langle i_{C2} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{DT_s} i'^2_{C2} dt + \int_{DT_s}^{T_s} i''^2_{C2} dt \right)}. \quad (2.93)$$

Solucionando a equação (2.93) obtém-se

$$\langle i_{C2} \rangle_{T_s} = 2\sqrt{\frac{V_g^2 D}{(1 - D) (2DR_o - 3r_C + 2R_o D^2)^2}}. \quad (2.94)$$

Substituindo a equação (2.87) na expressão (2.94) e desprezando o efeito de r_C , obtém-se

$$\langle i_{C2} \rangle_{T_s} = \frac{I_L}{4} \sqrt{\frac{(1-D)}{D}}. \quad (2.95)$$

• **Corrente eficaz no capacitor C_3**

A corrente eficaz no capacitor C_3 é calculada substituindo a equação de soluções de (2.78) na equação (2.43). Assim, obtém-se a corrente no capacitor C_3 referente à primeira etapa de operação. Logo,

$$i'_{C3} = V_g \cdot f(R_o, r_C, D, i_L), \quad (2.96)$$

$$i'_{C3} = \frac{4 \cdot V_g}{(-1+D) 2D \cdot R_o - 3r_C}. \quad (2.97)$$

O mesmo processo pode ser realizado para obter a expressão da corrente no capacitor C_3 para a segunda etapa de operação. Deste modo, tem-se que

$$i''_{C3} = \frac{4DV_g}{\left((1-D) 2DR_o + 3r_C \right) (1-D)}. \quad (2.98)$$

A corrente eficaz quase instantânea pode ser calculada como

$$\langle i_{C3} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{DT_s} i'^2_{C3} dt + \int_{DT_s}^{T_s} i''^2_{C3} dt \right)}. \quad (2.99)$$

Solucionando a equação (2.99) obtém-se

$$\langle i_{C3} \rangle_{T_s} = 2 \sqrt{\frac{V_g^2 D}{(1-D) (2DR_o - 3r_C + 2R_o D^2)^2}}. \quad (2.100)$$

Substituindo a equação (2.87) na expressão (2.100) e fazendo $r_C = 0$, se obtém

$$\langle i_{C3} \rangle_{T_s} = \frac{I_L}{2} \sqrt{\frac{(1-D)}{D}}. \quad (2.101)$$

- **Corrente eficaz no capacitor de saída C_o**

Da mesma forma, a corrente eficaz no capacitor C_o é calculada substituindo a equação de soluções de (2.78) na equação (2.43). Assim, obtém-se a corrente no capacitor C_o referente à primeira etapa de operação. Logo,

$$i'_{Co} = V_g \cdot f(R_o, r_C, D, i_L). \quad (2.102)$$

$$i'_{Co} = \frac{2 \cdot (2D + 1) V_g}{(-1 + D) 2D \cdot R_o - 3r_C}. \quad (2.103)$$

O mesmo processo pode ser realizado para obter a expressão da corrente no capacitor C_o para a segunda etapa de operação. Deste modo, tem-se que

$$i''_{Co} = \frac{-2D(2D + 1) V_g}{\left((1 - D) 2D R_o + 3r_C \right) (1 - D)}. \quad (2.104)$$

A corrente eficaz quase instantânea pode ser calculada como

$$\langle i_{Co} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{DT_s} i'^2_{Co} dt + \int_{DT_s}^{T_s} i''^2_{Co} dt \right)}. \quad (2.105)$$

Solucionando a equação (2.105) obtém-se

$$\langle i_{C_o} \rangle_{T_s} = 2\sqrt{\frac{(2D+1)^2 V_g^2 D}{(1-D)(2DR_o - 3r_C + 2R_o D^2)^2}} \quad (2.106)$$

Substituindo a equação (2.87) na expressão (2.106) se obtém

$$\langle i_{C3} \rangle_{T_s} = \frac{I_L}{4} \sqrt{\frac{(1-D)(2D+1)^2}{D}} \quad (2.107)$$

No início da análise foi dito que a topologia original não contemplava o capacitor de saída C_o . A inserção deste capacitor trás alterações no comportamento das correntes nos demais capacitores. A intenção principal do uso deste elemento é equilíbrio das correntes nos capacitores C_1 e C_2 .

A fim de elucidar o que foi dito, é mostrado na Figura 2-13 o comportamento dos valores eficaz com e sem a inserção do capacitor de saída C_o . Pode-se observar que sem presença do capacitor C_o a corrente eficaz no capacitor C_1 é bastante acentuada, contudo, a corrente no capacitor C_2 é bastante reduzida. Já com a inserção do capacitor de saída as corrente eficazes nos capacitores C_1 e C_2 são equalizadas. A corrente eficaz no capacitor C_3 não sofre alterações com a inserção do capacitor de saída.

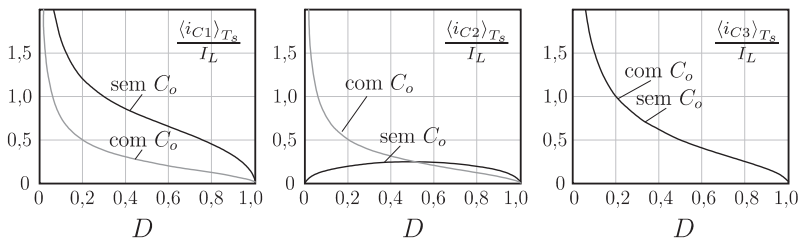


Figura 2-13 – Comparativo do comportamento dos valores eficaz das correntes nos capacitores com a colocação ou não do capacitor de saída C_o .

Apenas com o intuito comparativo, na Figura 2-14 é apresentado o comportamento do somatório dos valores eficazes em todos os capacitores com e sem a inserção do capacitor C_o . Os somatórios são definidos como:

sem o capacitor C_o

$$\langle i_{C1} \rangle_{T_s} + \langle i_{C2} \rangle_{T_s} + \langle i_{C3} \rangle_{T_s}; \quad (2.108)$$

com o capacitor C_o

$$\langle i_{C1} \rangle_{T_s} + \langle i_{C2} \rangle_{T_s} + \langle i_{C3} \rangle_{T_s} + \langle i_{C_o} \rangle_{T_s}. \quad (2.109)$$

Pode-se observar que em geral há pouca diferença no somatório dos valores eficazes com a variação da razão cíclica. Contudo, um dos critérios para escolha dos capacitores é a corrente eficaz a que estes ficam submetidos. É interessante, do ponto de vista de simetria e projeto, que os capacitores C_1 e C_2 sejam iguais e, portanto, sejam especificados para suportar o mesmo valor eficaz de corrente.

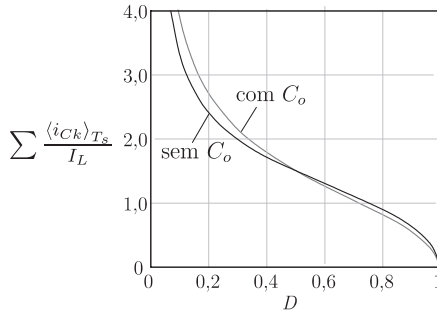


Figura 2-14 – Comportamento do somatório dos valores eficazes das correntes nos capacitores.

- **Corrente no interruptor S**

O interruptor S é ativo somente na primeira etapa e a corrente que flui por este é dada por

$$i'_S = i_L + i'_{C3}, \quad (2.110)$$

durante a primeira etapa, e

$$i''_S = 0. \quad (2.111)$$

Substituindo a equação (2.87) na expressão (2.110), obtém-se a corrente no interruptor em função da corrente de entrada e da razão cíclica. Assim,

$$i'_S = \frac{I_L}{2} \frac{(D+1)}{D}. \quad (2.112)$$

- **Corrente no diodo D_1**

Durante a primeira etapa de operação a corrente no diodo D_1 é nula, já para a segunda etapa de operação é dada por

$$i''_{D1} = I_L + i''_{C3}. \quad (2.113)$$

Substituindo a equação (2.87) na expressão (2.113) e realizando as devidas simplificações, chega-se que

$$i''_{D1} = \frac{I_L}{2}. \quad (2.114)$$

- **Corrente no diodo D_2**

O diodo D_2 opera somente na primeira etapa de operação, de tal forma que

$$i'_{D2} = i'_{C3}. \quad (2.115)$$

Substituindo a equação (2.87) na expressão (2.115) e realizando as devidas simplificações, conclui-se que

$$i'_{D2} = \frac{I_L}{2} \frac{(1-D)}{D}. \quad (2.116)$$

- **Corrente no diodo D_3**

O diodo D_3 , a exemplo de D_1 , opera somente durante a segunda etapa de operação. Assim, tem-se que

$$i''_{D3} = i''_{C3}. \quad (2.117)$$

Substituindo a equação (2.87) na expressão (2.117) e realizando as devidas simplificações, chega-se que

$$i''_{D3} = \frac{I_L}{2}. \quad (2.118)$$

2.3 RESUMO SOBRE O CAPÍTULO

Nesse capítulo foram estudados os conceitos acerca dos conversores a capacitor chaveado e híbridos. Com relação aos capacitores chaveados puros, foram apresentadas as peculiaridades desses conversores quanto ao comportamento das tensões e correntes, como também à perda de energia que esses apresentam. Mostrou-se que a comutação de dois capacitores com tensões diferentes leva a uma dissipação de energia que depende do quadrado da diferença das tensões. Também foi mostrado o conceito de resistência equivalente presente nos circuitos a capacitor chaveado. Nesse conceito foram demonstrados quais os parâmetros que influenciam nas perdas de energia, desta forma, auxiliando na escolha dos elementos do circuito.

Posteriormente, foi introduzido o estudo dos conversores híbridos a capacitor chaveado. Utilizou-se uma topologia específica para demonstrar o funcionamento e operação. Nessa seção, foram feitos estudos mais aprofundados com o intuito de gerar expressões matemáticas que descrevessem as tensões e correntes, de forma que fosse possível representar os esforços de corrente em todos os elementos do circuito.

Muitos dos conceitos apresentados neste capítulo serão empregados no decorrer deste trabalho e, portanto, são fundamentais para que o leitor possa compreender de forma simples o mecanismo de funcionamento dos conversores que ainda serão apresentados nesta tese.

Capítulo 3

Retificadores PWM unidirecionais três-níveis híbridos a capacitor chaveado monofásicos

Os conversores cc-cc são amplamente empregados em aplicações onde presume-se a presença de uma fonte cc no estágio de entrada. Essa fonte pode ser caracterizada por uma bateria ou algum estágio de retificação. Contudo, existem circunstâncias onde a conversão cc de energia deve ser feita a partir da rede elétrica, por um estágio único. Nessas aplicações, o conversor deve, a partir de uma fonte alternada de tensão, convertê-la em uma tensão de saída cc. Não obstante, em certas ocasiões, o conversor não pode distorcer a corrente de entrada sendo, portanto, não aconselhado o uso de pontes de diodos não-controlados. Para essas situações, é imprescindível que o conversor corrija o fator de potência, ao mesmo tempo em que disponha em seus terminais de saída uma tensão com pouca ondulação. Conversores que atendam a esses requisitos são cada vez mais procurados atualmente, em consequência das existências de normas técnicas, que limitam a taxa de distorção harmônica da corrente drenada da rede elétrica. Dentro destas exigências, em muitas das vezes, não há necessidade de reversibilidade de energia por parte do conversor restringindo, desse modo, ao uso de soluções unidirecionais.

Com base no exposto, muitos trabalhos foram propostos [20, 65, 66] com a finalidade de corrigir o fator de potência e permitir somente o fluxo unidirecional de energia. No entanto, essas soluções visam um nicho de aplicação bem específico, mais precisamente, aplicações de

baixa tensão de saída (< 1000 V). Situações onde são desejadas tensões mais altas, outras abordagens são necessárias.

Na introdução geral desta tese foi mostrada a deficiência de soluções que atinjam ao mesmo tempo: i) alto fator de potência ii) fluxo unidirecional de energia e iii) alta tensão de saída. Foi dito que, por meio desse conjunto de exigências, seria proposta uma família de conversores.

Portanto, em consequência às argumentações apresentadas, este capítulo se destina a apresentação e estudo analítico dos conversores ca-cc propostos. Serão apresentadas as características quanto à correção do fator de potência, fluxo unidirecional de energia e também ao alto ganho de tensão que estes conversores propiciam.

Serão obtidas as equações que regem as etapas de operação, assim como as que quantificam os esforços de tensão e corrente nos semicondutores e capacitores.

3.1 RETIFICADORES HÍBRIDOS MONOFÁSICOS PROPOSTOS

A Figura 3-1 apresenta novamente a família de conversores ca-cc unidirecionais a qual esta tese propõe. Os seis conversores são divididos em duas células, chamada A e B, conforme já mencionado no capítulo da introdução geral. Essas topologias têm em comum o mesmo princípio de funcionamento e mesmo número de etapas de operação, diferindo somente no número de semicondutores no caminho da corrente para cada etapa de funcionamento. Os conversores apresentam, no máximo, dois interruptores comandados para conversão de energia, tendo, portanto, baixo número de circuitos de *gate drivers*. Também, dispõe de um indutor no lado ca da topologia, acarretando no melhor aproveitamento deste elemento, já que o fluxo magnético opera em dois quadrantes.

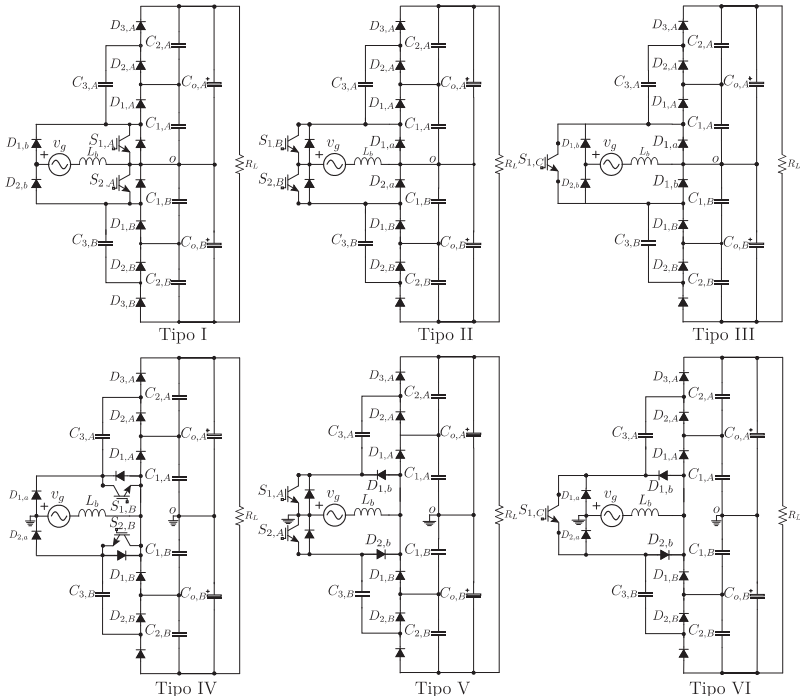


Figura 3-1 – Família de conversores ca-cc unidirecional três níveis híbridos a capacitor chaveado propostos.

3.2 FUNDAMENTOS ACERCA DA OPERAÇÃO DOS CONVERSORES

A Figura 3-2 apresenta, de forma qualitativa, as etapas de operação dos conversores referentes à célula A^1 , válidas para o modo de condução contínua e semiciclo positivo da rede elétrica. Cada conversor apresenta uma etapa de armazenamento e outra de transferência de energia. Nesta figura, a fonte e o indutor de entrada são representados por uma fonte de corrente, o que é extremamente plausível dentro de um período de comutação. Note-se que, durante a etapa de armazenamento, o capacitor $C_{1,A}$ é posto, por meio do comando de um interruptor $S_{1,A}$, em paralelo com o capacitor $C_{3,A}$.

¹ Ver Figura 1-20 (a)

Com isso, ocorre a transferência de energia de parte de $C_{1,A}$ para $C_{3,A}$. Ao mesmo tempo, os capacitores $C_{1,A}$ e $C_{2,A}$ transferem energia à carga. Igualmente, é posto o nível zero de tensão no terminal 1 (em relação ao ponto médio - GND) da subcélula de comutação.

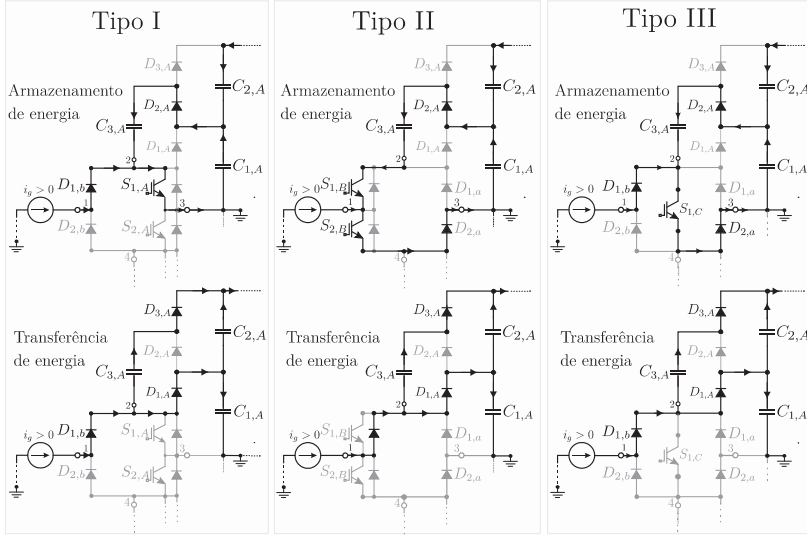


Figura 3-2 – Etapas de operação para os conversores originados da célula A (armazenamento e transferência de energia).

Já a etapa de transferência de energia se dá pelo bloqueio comandado do interruptor $S_{1,A}$. Com isso, a energia armazenada no indutor é transferida para os capacitores $C_{1,A}$, $C_{2,A}$ e para carga (não representada na figura). Ao mesmo tempo, o capacitor $C_{3,A}$ é colocado em paralelo com o capacitor $C_{2,A}$, por meio da entrada em condução do diodo $D_{1,A}$ e $D_{3,A}$.

Da mesma forma, na Figura 3-3 são apresentados os três conversores referentes à célula B² (Tipo IV, Tipo V e Tipo VI). Nessa figura são ilustradas as etapas de armazenamento e transferência de energia. O princípio de operação é semelhante ao ilustrado para as topologias da célula A. Esses conversores diferem somente em uma

² Ver Figura 1-20 (b)

questão, que é o fato dos diodos $D_{1,A}$ e $D_{1,B}$ estarem submetidos à metade da tensão de saída, ao contrário dos demais, que ficam submetidos a um quarto da tensão de saída.

A fim de comparar, de forma qualitativa os conversores, na Tabela 1 são apresentadas algumas características de cada solução, no que diz respeito a número de semicondutores em condução, durante as etapas de armazenamento e transferência de energia, e também a tensão que estes semicondutores ficam submetidos.

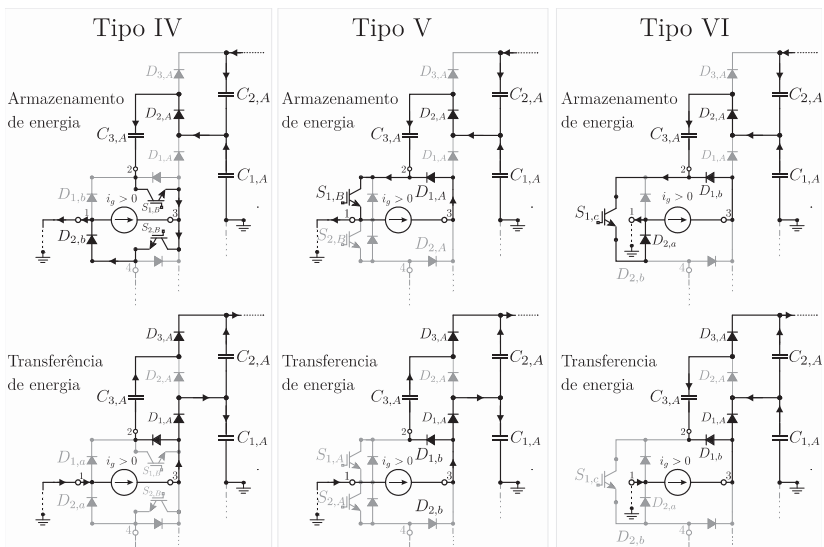


Figura 3-3 – Etapas de operação para os conversores originados da célula B (armazenamento e transferência de energia).

Tabela 1 – Comparativo entre os conversores propostos (válido para o semiciclo positivo da rede elétrica)

	Tipo I	Tipo II	Tipo III	Tipo IV	Tipo V	Tipo VI
Nº de semicondutores em condução durante o armazenamento de energia.	3	4	4	4	3	4
Nº de semicondutores em condução durante a transferência de energia.	3	3	3	3	3	3
Semicondutores submetido a metade da tensão de saída	0	0	0	$D_{1,A}$ e $D_{1,B}$	$D_{1,A}$ e $D_{1,B}$	$D_{1,A}$ e $D_{1,B}$
Semicondutores submetidos a um quarto da tensão de saída	todos	todos	todos	exceto $D_{1,A}$ e $D_{1,B}$	exceto $D_{1,A}$ e $D_{1,B}$	exceto $D_{1,A}$ e $D_{1,B}$
Número de diodos rápidos	6	8	8	10	8	8
Número de diodos lentos	2	0	2	0	2	2

3.3 ESTUDO DO CONVERSOR TIPO I – ETAPAS DE OPERAÇÃO

A família de conversores monofásicos propostos possui, em sua essência, o mesmo mecanismo de funcionamento podendo, portanto, serem estudados através de uma única topologia. Assim sendo, a análise da família será concentrada no conversor Tipo I. Entretanto, os estudos que serão desenvolvidos podem ser facilmente estendidos para os demais conversores pertencentes à família.

Na Figura 3-4 é apresentada a topologia ca-cc três níveis unidirecional híbrida com célula a capacitor chaveado Tipo I. Esta estrutura é diretamente extraída do conversor cc-cc híbrido a capacitor chaveado estudado no capítulo anterior, acrescido de um lado inferior, para assim formar um estágio de três-níveis. As equações apresentadas para o conversor cc-cc híbrido serão todas aproveitadas, já que, as topologias propostas usam o mesmo princípio de funcionamento.

Será apresentado o estudo do conversor operando no modo de condução contínua, e as expressões são válidas para o modo de operação *no-charge*.

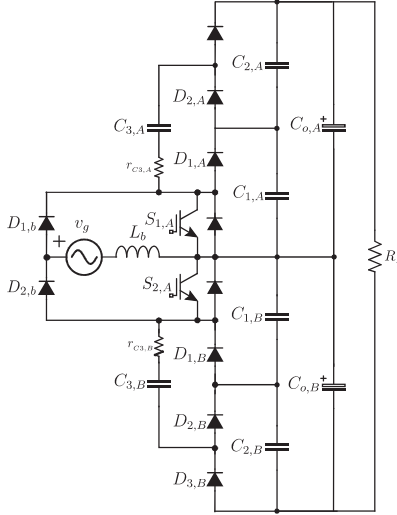


Figura 3-4 – Topologia ca-cc meia ponte unidirecional três níveis híbrida a capacitor chaveado tipo I.

Para descrição das etapas de operação serão apresentadas somente às referentes ao semiciclo positivo da rede elétrica, sendo o semiciclo negativo análogo. É suposto nesta análise que os capacitores possuem mesma capacitância, exceto os capacitores $C_{o,A}$ e $C_{o,B}$ que ficam responsáveis por suprir parte da energia à carga. Também, é assumido que tanto a tensão de entrada quanto a corrente de entrada são constantes dentro de um período de comutação T_s .

3.3.1 Primeira etapa

A primeira etapa acontece quando o interruptor $S_{1,A}$ é comandado a conduzir. Durante este instante ocorre o armazenamento de energia no indutor L_b . Ao mesmo tempo, o capacitor $C_{1,A}$ é conectado ao capacitor $C_{3,A}$ através do diodo $D_{2,A}$, forçando as tensões $v_{C1,A}$ e $v_{C3,A}$ se equalizarem. Os demais capacitores, destacados na figura, ficam responsáveis por alimentar a carga durante esta etapa.

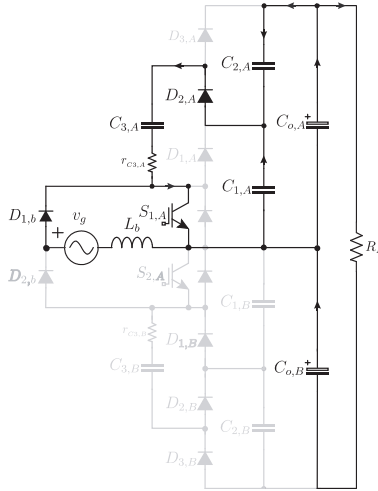


Figura 3-5 – Primeira etapa de operação do conversor tipo I.

Observa-se que o conversor proposto opera de forma semelhante ao conversor cc-cc híbrido apresentado na seção 2.2. Portanto, as expressões matemáticas obtidas nessa seção podem ser empregadas.

Na seção 2.2, por se tratar de um conversor cc-cc, as variáveis de tensões e correntes foram representadas por letras maiúsculas, por se tratarem de valores médios. Contudo, nos conversores propostos, muitas das variáveis alternam no tempo como, por exemplo, tensão de entrada, correntes e razão cíclica e, portanto, serão designadas por letras minúsculas a partir deste momento. Outro fato é que a corrente de entrada no conversor cc-cc híbrido foi designada pela variável i_L . A partir deste ponto em diante esta mesma corrente será indicada pela variável i_g , já que pode ser entendida como a corrente que flui na rede elétrica. Assim,

$$i_L = i_g. \quad (3.1)$$

As expressões matemáticas podem ser retiradas da seção 2.2 do capítulo anterior. Logo, considerando que as variáveis sejam constantes dentro de um período de comutação, as correntes através dos capacitores e semicondutores durante a primeira etapa são descritas por:

$$\left\{ \begin{array}{l} i'_{C1,A} = -\frac{1}{4} \cdot \frac{(1-d) \cdot i_g}{d} \\ i'_{C2,A} = \frac{1}{4} \cdot \frac{(1-d)}{d} \cdot i_g \\ i'_{C3,A} = i'_{D2,A} = \frac{1}{2} \cdot \frac{(1-d) \cdot i_g}{d} \\ i'_{S1,A} = \frac{1}{2} \cdot \frac{(1+d)}{d} \cdot i_g \\ i'_{D1,b} = i_g \end{array} \right. \quad (3.2)$$

3.3.2 Segunda etapa de operação

A segunda etapa acontece quando o interruptor $S_{1,B}$ é comandado a bloquear. Quando isto acontece, os diodos $D_{1,A}$ e $D_{3,A}$ entram em condução, enquanto $D_{2,A}$ é forçado ao bloqueio. O capacitor $C_{3,A}$ transfere energia para $C_{2,A}$.

As correntes nos capacitores e semicondutores durante essa etapa de operação correspondem à:

$$\left\{ \begin{array}{l} i''_{C1,A} = \frac{1}{4} i_g \\ i''_{C2,A} = -\frac{1}{4} i_g \\ i''_{C3,A} = i''_{D3,A} = \frac{1}{2} i_g \\ i''_{D1,A} = \frac{1}{2} i_g \\ i''_{D1,b} = i_g \end{array} \right. \quad (3.3)$$

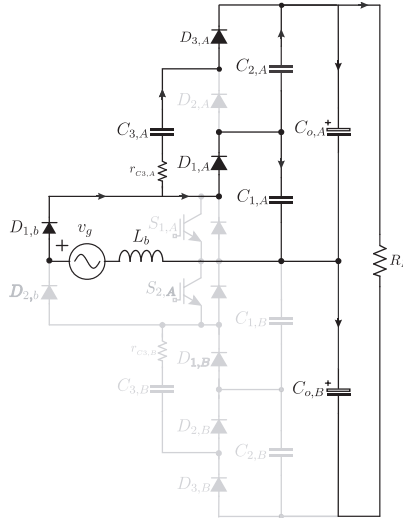


Figura 3-6 – Segunda etapa de operação do conversor tipo I.

Como a tensão nos terminais comutados do conversor é função do sinal da corrente, ela é definida como:

$$v_{ao} = \frac{V_o}{4} \cdot \text{sign}(i_{g,a}) (1 - s_a)$$

onde

$$s_a = \begin{cases} 1, & \text{interruptor comandado} \\ 0, & \text{interruptor bloqueado} \end{cases} \quad (3.4)$$

3.4 ANÁLISE DE ESFORÇOS DE CORRENTE

Para análise dos esforços será considerado que o conversor opera com componentes ideais, ou seja, serão desprezadas as resistências parasitas, ou que estas sejam suficientemente pequenas a ponto de garantir ao menos o modo de *partial-charge*.

3.4.1 Expressão da corrente eficaz nos capacitores $C_{1,A}$ e $C_{1,B}$

Há corrente fluindo sobre estes capacitores somente a cada meio ciclo da rede elétrica.

A expressão da corrente eficaz quase instantânea sobre os capacitores em questão é definida por:

$$\langle I_{C1,k,\text{ef}} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{d \cdot T_s} (i'_{C1,k})^2 dt + \int_{d \cdot T_s}^{T_s} (i''_{C1,k})^2 dt \right)} \quad (3.5)$$

$$\langle I_{C1,k,\text{ef}} \rangle_{T_s} = \frac{i_g}{4} \cdot \sqrt{\frac{1-d}{d}}, \quad k = A, B \quad (3.6)$$

Por meio do valor eficaz quase instantâneo, representado pela equação (3.6), é possível calcular a expressão da corrente eficaz que flui pelos capacitores $C_{1,A}$ e $C_{1,B}$ dentro do período da rede elétrica. Para isto, é necessário fazer com que as variáveis i_g e d variem com o tempo, ou seja, definidas como

$$\begin{cases} i_g = I_{g,p} \cdot \sin(\omega t) \\ d = 1 - M \cdot \sin(\omega t), \end{cases} \quad (3.7)$$

onde $I_{g,p}$ representa o valor de pico da corrente de linha e M o índice de modulação.

O índice de modulação M é definido como

$$M = \frac{4V_{g,p}}{V_o}, \quad (3.8)$$

onde $V_{g,p}$ representa o pico da tensão de entrada v_g .

Definindo o valor eficaz do capacitor $C_{1,k}$, $k = A, B$, como

$$I_{C1,k,\text{ef}} = \sqrt{\frac{1}{2\pi} \left(\int_0^\pi \langle I_{C1,k,\text{ef}} \rangle_{T_s}^2 d\omega t \right)} \quad (3.9)$$

e substituindo as expressões em (3.7) na equação (3.9) e solucionando-a, chega-se que:

$$I_{C1,k,\text{ef}} = I_{g,p} \cdot \frac{\sqrt{2}}{8} \frac{\sqrt{\left(4\text{atan}\left(\frac{M}{\beta}\right) - \beta(M^2\pi + 4M\pi + 2\pi) + 2\pi\right)}}{\sqrt{\beta}\sqrt{\pi}M} \quad (3.10)$$

onde $\beta = \sqrt{1 - M^2}$.

3.4.2 Expressão da corrente eficaz nos capacitores $C_{2,A}$ e $C_{2,B}$

A expressão da corrente eficaz quase instantânea sobre os capacitores em questão é definida por:

$$\langle I_{C2,k,\text{ef}} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{d \cdot T_s} \left(i'_{C2,k} \right)^2 dt + \int_{d \cdot T_s}^{T_s} \left(i''_{C2,k} \right)^2 dt \right)} \quad (3.11)$$

$$\langle I_{C2,k,\text{ef}} \rangle_{T_s} = \frac{i_g}{4} \cdot \sqrt{\frac{1-d}{d}}, \quad k = A, B \quad (3.12)$$

Para obter a expressão do valor eficaz no período da rede elétrica devem-se fazer com que as variáveis i_g e d variem no tempo, tal como descrito por (3.7) e solucionar a expressão (3.13), obtendo-se, desta forma, a expressão (3.14).

$$I_{C2,k,\text{ef}} = \sqrt{\frac{1}{2\pi} \left(\int_0^\pi \langle I_{C2,k,\text{ef}} \rangle_{T_s}^2 d\omega t \right)} \quad (3.13)$$

$$I_{C2,k,\text{ef}} = I_{g,p} \cdot \frac{\sqrt{2}}{8} \frac{\sqrt{\left(4\text{atan}\left(\frac{M}{\beta}\right) - \beta(M^2\pi + 4M\pi + 2\pi) + 2\pi\right)}}{\sqrt{\beta}\sqrt{\pi}M} \quad (3.14)$$

onde $\beta = \sqrt{1 - M^2}$.

3.4.3 Expressão da corrente eficaz nos capacitores $C_{3,A}$ e $C_{3,B}$

A expressão da corrente eficaz quase instantânea sobre os capacitores em questão é definida por:

$$\langle I_{C3,k,\text{ef}} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{d \cdot T_s} (i'_{C3,k})^2 dt + \int_{d \cdot T_s}^{T_s} (i''_{C3,k})^2 dt \right)} \quad (3.15)$$

$$\langle I_{C3,k,\text{ef}} \rangle_{T_s} = \frac{i_g}{2} \cdot \sqrt{\frac{1-d}{d}} \quad , k = A, B. \quad (3.16)$$

A expressão do valor eficaz no capacitor $C_{3,A}$ é definida como

$$I_{C3,k,\text{ef}} = \sqrt{\frac{1}{2\pi} \left(\int_0^\pi \langle I_{C3,k} \rangle_{T_s}^2 d\omega t \right)} \quad (3.17)$$

onde as variáveis i_g e d , definidas em (3.7), estão contidas na equação (3.16). Solucionando a equação (3.17), obtém-se:

$$I_{C3,k,\text{ef}} = I_{g,p} \cdot \frac{\sqrt{2}}{4} \frac{\sqrt{\left(4 \operatorname{atan} \left(\frac{M}{\beta} \right) - \beta (M^2 \pi + 4M\pi + 2\pi) + 2\pi \right)}}{\sqrt{\beta} \sqrt{\pi} M}, \quad (3.18)$$

onde $\beta = \sqrt{1 - M^2}$.

A Figura 3-7 apresenta o comportamento da corrente eficaz parametrizada pela corrente de saída I_o nos capacitores $C_{1,k}$, $C_{2,k}$ e $C_{3,k}$, $k = A, B$, em função do índice de modulação. Pode-se observar pelas expressões (3.14) e (3.18) que a corrente sobre o capacitor flutuante $C_{3,k}$ é o dobro, se comparado aos capacitores $C_{1,k}$ e $C_{2,k}$, sendo assim, submetido a um maior esforço.

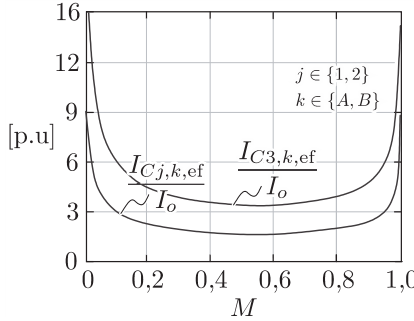


Figura 3-7 – Corrente eficaz nos capacitores chaveados, parametrizado pela corrente de saída I_o .

3.4.4 Expressão da corrente média nos interruptores $S_{1,A}$ e $S_{2,A}$

O processo para obtenção tanto dos valores médios quanto dos valores eficazes das correntes nos interruptores estáticos $S_{1,A}$ e $S_{2,A}$ será baseado nas equações obtidas a partir das etapas de operação.

Dentre de todos os elementos da topologia em questão, os interruptores estáticos são os que mais sofrem esforços de corrente, isto porque, durante a primeira etapa de operação, estes são submetidos à soma instantânea da corrente de linha e a corrente da comutação dos capacitores $C_{1,A}$ e $C_{3,A}$. Essa característica do conversor tem impacto nas perdas de comutação e condução, merecendo, desta forma, maior atenção no dimensionamento físico.

Cada interruptor estático ativo opera durante meio ciclo da rede elétrica. A expressão da corrente neste interruptor durante o instante de condução já foi expressa na equação (2.112), sendo aqui reescrita novamente a título de facilidade.

$$i'_{S1,k} = \frac{i_g}{2} \left(\frac{d+1}{d} \right), \quad k = A, B. \quad (3.19)$$

Fazendo com que i_g e d , contidas em (3.19), variem de acordo com a expressão (3.7) é possível obter a envoltória da corrente sobre os

interruptores em questão. Assim, a Figura 3-8 ilustra o comportamento da envoltória da corrente nos interruptores estáticos $S_{1,A}$ e $S_{2,A}$ em função o ângulo ωt . Pode-se observar nesta figura que a maior corrente ocorre em $\pi/2$ da rede elétrica, e que é bastante acentuada com o aumento ou redução do índice de modulação.

A máxima corrente teórica que os interruptores devem comutar é expressa como:

$$I_{S,\max} = \frac{I_{g,p}}{2} \frac{(2 - M)}{1 - M}. \quad (3.20)$$

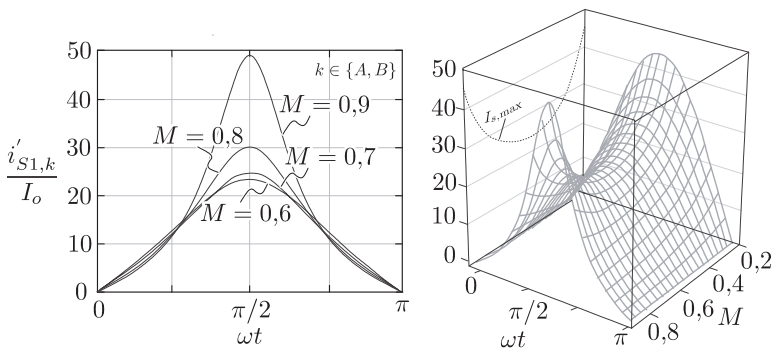


Figura 3-8 – Envoltória da corrente no interruptor $S_{1,k}$ em função de ωt .

A expressão da corrente média quase instantânea a qual os interruptores estáticos ficam submetidos é definida como:

$$\langle \bar{I}_{S1,k} \rangle_{T_s} = \frac{1}{T_s} \int_0^{d \cdot T_s} i'_{S1,k} dt, \quad k = A, B. \quad (3.21)$$

Solucionando a expressão (3.21), obtém-se:

$$\langle \bar{I}_{S1,k} \rangle_{T_s} = \frac{i_g}{2} \cdot (d + 1). \quad (3.22)$$

Por meio da expressão (3.22) é possível encontrar a corrente média calculada dentro de um período da rede elétrica. Para isto, é necessário que i_g e d , contidas em (3.22) variem de acordo com a expressão (3.7). Desta forma, a corrente média calculada dentro do período da rede elétrica é definida como:

$$\bar{I}_{Sk,A} = \frac{1}{2\pi} \int_0^\pi \langle I_{S1,k} \rangle_{T_s} d\omega t, \quad k = 1, 2. \quad (3.23)$$

Solucionando a equação (3.23), obtém-se:

$$\bar{I}_{Sk,A} = \frac{I_{g,p}}{8} \cdot \frac{(8 - M\pi)}{\pi}, \quad k = 1, 2. \quad (3.24)$$

3.4.5 Expressão da Corrente eficaz nos interruptores $S_{1,A}$ e $S_{2,A}$

A expressão da corrente eficaz quase instantânea no interruptor em questão é definida como:

$$\langle I_{Sk,ef} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{d \cdot T_s} \left(i'_{Sk,A} \right)^2 dt \right)} \quad (3.25)$$

Solucionando a expressão (3.25), obtém-se:

$$\langle I_{Sk,ef} \rangle_{T_s} = \frac{i_g}{2} \cdot (d + 1) \sqrt{\frac{1}{d}}. \quad (3.26)$$

Para a obtenção da corrente eficaz, calculada dentro do período da rede elétrica, é necessário que i_g e d , contida em (3.26), variem de acordo com a expressão (3.7). Fazendo as substituições e as devidas simplificações, obtém-se a corrente eficaz quase instantânea em função do ângulo ωt , tal como descreve a equação (3.27).

$$\langle I_{Sk,ef(\omega t)} \rangle_{T_s} = \frac{I_{g,p} \cdot \sin(\omega t)}{2} \cdot (2 - M \cdot \sin(\omega t)) \sqrt{\frac{1}{1 - M \cdot \sin(\omega t)}}. \quad (3.27)$$

A expressão da corrente eficaz no interruptor ativo, calculada dentro do período da rede elétrica é dada como:

$$I_{Sk,ef} = \sqrt{\frac{1}{2\pi} \left(\int_0^\pi \langle I_{Sk,ef(\omega t)} \rangle_{T_s}^2 dt \right)}, \quad k = A, B \quad (3.28)$$

Substituindo (3.27) na equação (3.28), obtém-se:

$$I_{Sk,ef} = \frac{\sqrt{3}}{12} I_{g,p} \frac{\sqrt{(-8M^3 + 9\pi M^2 - 12M - 6\pi) \beta + 12 \operatorname{atan}\left(\frac{M}{\beta}\right) + 6\pi}}{M \sqrt{\pi} \cdot \sqrt{\beta}} \quad (3.29)$$

onde $\beta = \sqrt{1 - M^2}$.

A Figura 3-9 ilustra o comportamento do corrente eficaz, parametrizada pela corrente de saída I_o , em função do índice de modulação.

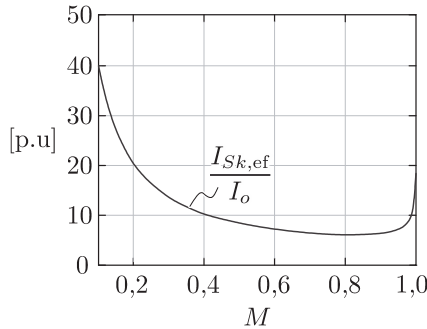


Figura 3-9 – Comportamento da corrente eficaz no interruptor $S_{1,A}$ e $S_{2,A}$, parametrizada pela corrente de saída, em função do índice modulação.

3.4.6 Expressão da corrente média no diodo $D_{1,A}$ e $D_{1,B}$

Os diodos em questão operam complementarmente aos interruptores ativos $S_{1,A}$ e $S_{1,B}$, operando estes a cada meio ciclo da rede elétrica. A condução se dá na segunda etapa de operação, e como pode ser observado na equação (3.3), transportam metade da corrente de linha i_g .

A corrente média quase instantânea a fluir pelos diodos $D_{1,A}$ e $D_{1,B}$ é expressa como:

$$\langle \bar{I}_{D_{1,k}} \rangle_{T_s} = \frac{1}{T_s} \int_{d \cdot T_s}^{T_s} i''_{D_{1,k}} dt, \quad k = A, B. \quad (3.30)$$

Solucionando a equação (3.30), obtém-se:

$$\langle \bar{I}_{D_{1,k}} \rangle_{T_s} = \frac{I_{g,p}}{2} (1 - d). \quad (3.31)$$

A corrente média calculada no período da rede elétrica é expressa como:

$$\bar{I}_{D_{1,k}} = \frac{1}{2\pi} \int_0^\pi \langle I_{D_{1,k}}(\omega t) \rangle_{T_s} d\omega t, \quad k = A, B, \quad (3.32)$$

onde $\langle I_{D_{1,k}}(\omega t) \rangle_{T_s}$ representa a corrente média quase instantânea em função do ângulo ωt .

Solucionando (3.32) se obtém:

$$\bar{I}_{D_{1,k}} = \frac{1}{8} \cdot M \cdot I_{g,p}, \quad k = A, B. \quad (3.33)$$

3.4.7 Expressão da corrente eficaz nos diodos $D_{1,A}$ e $D_{1,B}$

A expressão da corrente eficaz quase instantânea nos diodos em questão é dada como:

$$\langle I_{D1,k,\text{ef}} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_{d \cdot T_s}^{T_s} \left(i_{D1,k}'' \right)^2 dt \right)} \quad (3.34)$$

Solucionando a expressão (3.34), obtém-se:

$$\langle I_{D1,k,\text{ef}} \rangle_{T_s} = \frac{i_g}{2} \sqrt{(1-d)}. \quad (3.35)$$

Fazendo com que a i_g e d variem de função do tempo, chega-se:

$$\langle I_{D1,k,\text{ef}(\omega t)} \rangle_{T_s} = \frac{I_{g,p} \cdot \text{sen}(\omega t)}{2} \sqrt{M \cdot \text{sen}(\omega t)}. \quad (3.36)$$

A corrente eficaz nos diodos em questão, calculada no período da rede elétrica é expressa como:

$$I_{D1,k,\text{ef}} = \sqrt{\frac{1}{2\pi} \left(\int_0^\pi \langle I_{D1,k,\text{ef}(\omega t)} \rangle_{T_s}^2 dt \right)}. \quad (3.37)$$

Solucionando a equação (3.37), obtém-se:

$$I_{D1,k,\text{ef}} = \frac{\sqrt{6}}{6} \cdot I_{g,p} \cdot \sqrt{\frac{M}{\pi}} \quad (3.38)$$

A Figura 3-10 apresenta o comportamento da corrente eficaz, parametrizada pela corrente de saída I_o , nos diodos em questão em função do índice de modulação.

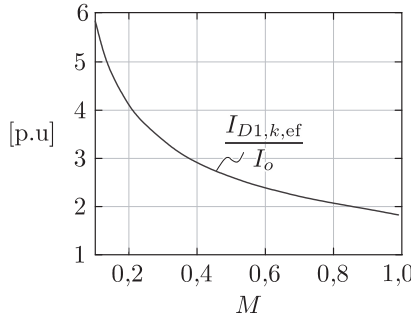


Figura 3-10 – Corrente eficaz nos diodos $D_{1,k}$, $k = A, B$, parametrizada pela corrente de saída, em função do índice de modulação.

3.4.8 Expressão da corrente média nos diodos $D_{2,A}$ e $D_{2,B}$

Os diodos $D_{2,A}$ e $D_{2,B}$ entram em condução somente na primeira etapa de operação, quando o interruptor ativo entra em condução, permitindo a comutação dos capacitores $C_{1,k}$ e $C_{3,k}$, $k = A, B$.

A corrente média quase instantânea nos diodos em questão é dada como:

$$\langle \bar{I}_{D2,k} \rangle_{T_s} = \frac{1}{T_s} \int_0^{d \cdot T_s} i'_{D2,k} dt, \quad k = A, B. \quad (3.39)$$

A expressão de $i'_{D2,k}$ foi definida na equação (3.2), logo, substituindo esta equação na expressão (3.39), e solucionando, obtém-se:

$$\langle \bar{I}_{D2,k} \rangle_{T_s} = \frac{i_g}{2} \cdot (1 - d). \quad (3.40)$$

Fazendo a corrente i_g e a razão cíclica d variarem ao longo do tempo, tem-se:

$$\langle I_{D2,k,ef}(\omega t) \rangle_{T_s} = \frac{I_{g,p} \cdot \text{sen}(\omega t)}{2} \sqrt{M \cdot \text{sen}(\omega t)}. \quad (3.41)$$

A corrente média calculada no período da rede elétrica é expressa como:

$$\bar{I}_{D2,k} = \frac{1}{2\pi} \int_0^\pi \langle I_{D2,k,\text{ef}}(\omega t) \rangle_{T_s} d\omega t, \quad k = A, B. \quad (3.42)$$

Substituindo a equação (3.41) na expressão (3.42) e solucionando, tem-se:

$$\bar{I}_{D2,k} = \frac{1}{8} \cdot M \cdot I_{g,p}, \quad k = A, B. \quad (3.43)$$

3.4.9 Expressão da corrente eficaz nos diodos $D_{2,A}$ e $D_{2,B}$

A equação da corrente eficaz quase instantânea nos diodos em questão é expressa como:

$$\langle I_{D2,k,\text{ef}} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_0^{d \cdot T_s} \left(i'_{D2,k} \right)^2 dt \right)} \quad (3.44)$$

Solucionando a expressão (3.44), obtém-se:

$$\langle I_{D2,k,\text{ef}} \rangle_{T_s} = \frac{i_g}{2} (1 - d) \sqrt{\frac{1}{d}}. \quad (3.45)$$

Fazendo com que a i_g e d variem de função do tempo, chega-se:

$$\langle I_{D2,k,\text{ef}}(\omega t) \rangle_{T_s} = \frac{I_{g,p} \cdot \sin^2(\omega t) \cdot M}{2} \sqrt{\frac{1}{1 - M \cdot \sin(\omega t)}}. \quad (3.46)$$

A corrente eficaz nos diodos em questão calculada no período da rede elétrica é expressa como:

$$I_{D2,k,\text{ef}} = \sqrt{\frac{1}{2\pi} \left(\int_0^\pi \langle I_{D2,k,\text{ef}}(\omega t) \rangle_{T_s}^2 dt \right)}. \quad (3.47)$$

Solucionando a equação (3.47), obtém-se:

$$I_{D2,k,\text{ef}} = \frac{I_{g,p}}{12} \sqrt{\frac{3 \left(12 \text{atan} \left(\frac{M}{\beta} \right) + 6\pi - (8M^3 + 3M^2 + 12M + 6\pi) \beta \right)}{M^2 \pi \beta}} \quad (3.48)$$

onde $\beta = \sqrt{1 - M^2}$.

A Figura 3-11 ilustra o comportamento da corrente eficaz parametrizada do diodo $D_{2,k}$ em função do índice de modulação.

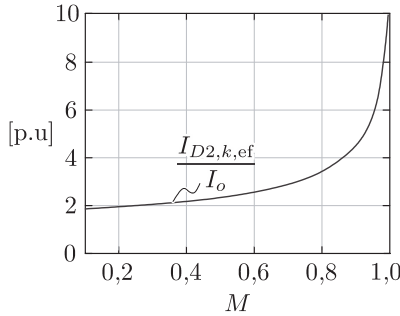


Figura 3-11 – Corrente eficaz do diodo $D_{2,k}$, $k = A, B$, parametrizada pela corrente de saída, em função do índice de modulação.

3.4.10 Expressão da corrente média no diodo $D_{3,A}$ e $D_{3,B}$

A condução dos diodos em questão se dá na segunda etapa de operação e, como pode ser observado na equação (3.3), transportam metade da corrente de linha i_g .

A equação da corrente média quase instantânea a fluir pelos diodos $D_{3,A}$ e $D_{3,B}$ é expressa como:

$$\langle \bar{I}_{D3,k} \rangle_{T_s} = \frac{1}{T_s} \int_{dT_s}^{T_s} i''_{D3,k} dt, \quad k = A, B. \quad (3.49)$$

Solucionando a equação (3.49), obtém-se:

$$\langle \bar{I}_{D3,k} \rangle_{T_s} = \frac{I_{g,p}}{2} (1 - d) \quad (3.50)$$

A corrente média calculada no período da rede elétrica é expressa como:

$$\bar{I}_{D3,k} = \frac{1}{2\pi} \int_0^\pi \langle I_{D3,k}(\omega t) \rangle_{T_s} d\omega t, \quad k = A, B, \quad (3.51)$$

onde $\langle I_{D3,k}(\omega t) \rangle_{T_s}$ representa a corrente média quase instantânea em função do ângulo ωt .

Solucionando (3.51) se obtém:

$$\bar{I}_{D3,k} = \frac{1}{8} \cdot M \cdot I_{g,p}, \quad k = A, B. \quad (3.52)$$

3.4.11 Expressão da corrente eficaz nos diodos $D_{3,A}$ e $D_{3,B}$

A equação da corrente eficaz quase instantânea nos diodos em questão é expressa como:

$$\langle I_{D3,k,ef} \rangle_{T_s} = \sqrt{\frac{1}{T_s} \left(\int_{d \cdot T_s}^{T_s} \left(i''_{D3,k} \right)^2 dt \right)} \quad (3.53)$$

Solucionando a expressão (3.53), obtém-se:

$$\langle I_{D3,k,ef} \rangle_{T_s} = \frac{i_g}{2} \sqrt{(1 - d)}. \quad (3.54)$$

Fazendo com que a i_g e d variem de função do tempo, chega-se:

$$\langle I_{D3,k,ef(\omega t)} \rangle_{T_s} = \frac{I_{g,p} \cdot \text{sen}(\omega t)}{2} \sqrt{M \cdot \text{sen}(\omega t)}.$$

A corrente eficaz nos diodos em questão, calculada no período da rede elétrica é expressa como:

$$I_{D3,k,ef} = \sqrt{\frac{1}{2\pi} \left(\int_0^\pi \langle I_{D3,k,ef(\omega t)} \rangle_{T_s}^2 dt \right)}. \quad (3.55)$$

Solucionando a equação (3.55), obtém-se:

$$I_{D3,k,ef} = \frac{\sqrt{6}}{6} \cdot I_{g,p} \cdot \sqrt{\frac{M}{\pi}} \quad (3.56)$$

3.4.12 Conclusões sobre os esforços de corrente

Nesta seção foram calculados os esforços de correntes em todos os elementos da topologia analisada. A análise é válida somente quando as resistências parasitas são desprezíveis e garantidos, ao menos, o modo de descarga parcial dos capacitores. Também, durante o estudo, foram ignoradas as ondulações de correntes de alta frequência, tanto do indutor de entrada, L_b , quanto devido às comutações dos capacitores. Outro ponto é que as expressões são validas somente quando se emprega modulação senoidal.

A Figura 3-12 apresenta um comparativo dos esforços de corrente nos diodos da topologia. Um fato interessante é que para índices de modulação pequenos ($M < 0,55$) os diodos $D_{1,k}$ e $D_{3,k}$, $k = A, B$, apresentam maiores esforços; enquanto que para índices de modulação maiores, a corrente eficaz no diodo $D_{2,k}$ torna-se superior que nos demais diodos, tendo, para índices próximos de um, correntes significativamente elevadas.

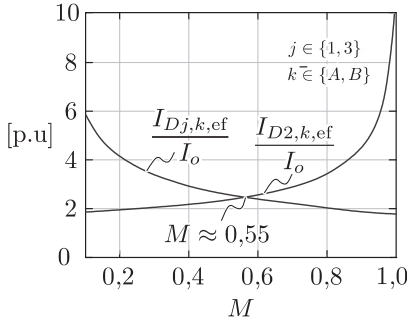


Figura 3-12 – Comparativo do comportamento das correntes eficazes nos diodos da topologia em questão.

3.5 TAXA DE CONVERSÃO

Como já foi mencionado anteriormente, o índice de modulação M é definido como

$$M = \frac{4V_{g,p}}{V_o}. \quad (3.57)$$

Definindo a taxa de conversão G como

$$G = \frac{V_o}{V_{g,p}} = \frac{4}{M}, \quad (3.58)$$

obtém-se a relação entrada-saída do conversor.

A título de comparação, na Figura 3-13 é apresentado um comparativo entre o ganho das topologias propostas com o conversor boost PFC clássico, ambos em função do índice de modulação M . Nesta imagem pode-se verificar claramente que a solução proposta fornece um ganho quatro vezes superior à topologia convencional.

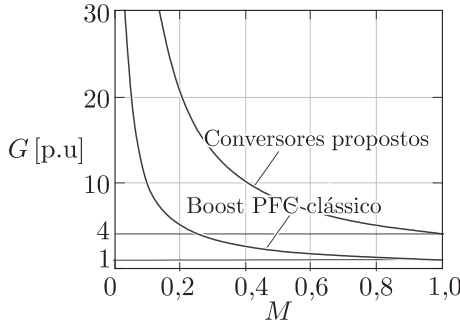


Figura 3-13 – Comparativo das taxas de conversão dos conversores propostos com o conversor boost PFC clássico.

3.6 ONDULAÇÃO DE CORRENTE NO INDUTOR DE ENTRADA

Foi dito nos capítulos iniciais que as estruturas três níveis propiciam uma ondulação de corrente menor quando comparado a conversores dois níveis. Isso se deve a redução da excursão do fluxo magnético de alta frequência, causado pela inclusão do nível zero de tensão nos terminais comutados.

Do ponto de vista dos terminais de entrada, todos os conversores propostos apresentam o mesmo comportamento, no que diz respeito à ondulação de corrente no indutor L_b . Portanto, a metodologia e equacionamento que será desenvolvida a seguir se aplica a todas as topologias propostas.

Para determinação da ondulação de corrente é necessário o conhecimento da tensão que o indutor L_b é submetido. Observando as etapas de operação dos conversores, chega-se a conclusão que durante a primeira etapa de operação o conversor é submetido à tensão de entrada v_g e durante a segunda etapa à diferença $v_g - v_{C1}$. Portanto, pode-se escrever que

$$v_{L_b} = L_b \cdot \frac{di_g}{dt} = (v_g - V_o/4) \quad (3.59)$$

para segunda etapa de operação. Ainda,

$$L_b \cdot \frac{di_g}{dt} = L_b \frac{\Delta i_L}{\Delta t} = (v_g - V_o/4). \quad (3.60)$$

Logo,

$$\Delta i_L = \frac{1}{L_b \cdot f_s} (v_g - V_o/4) (1 - d). \quad (3.61)$$

Rearranjando a equação (3.61), tem-se

$$\Delta i_L = \frac{V_o}{4 \cdot L_b \cdot f_s} \left(\frac{4}{V_o} v_g - 1 \right) (1 - d). \quad (3.62)$$

A equação (3.62) pode ser simplificada para

$$\Delta i_L = \frac{V_o}{4 \cdot L_b \cdot f_s} d (1 - d). \quad (3.63)$$

Fazendo

$$\overline{\Delta i_L} = \frac{\Delta i_L \cdot 4 \cdot L_b \cdot f_s}{V_o} = d (1 - d) \quad (3.64)$$

obtém-se a expressão da ondulação de corrente parametrizada em função da razão cíclica. Substituindo d em função de ωt , como descrito na equação (3.7), obtém-se

$$\overline{\Delta i_L} = M \cdot \sin(\omega t) - M^2 \cdot \sin(\omega t)^2 \quad (3.65)$$

que corresponde a envoltória da ondulação de corrente parametrizada. Por meio da equação (3.65) pode-se esboçar o comportamento da

envoltória da ondulação de corrente parametrizada para vários valores de índice de modulação, conforme ilustrado na Figura 3-14.

Derivando em relação ao índice de modulação e igualando a zero a equação (3.65), pode-se encontrar o ângulo onde ocorre a máxima ondulação. Assim,

$$\frac{\partial \overline{\Delta i_L}}{\partial M} = 0 \quad (3.66)$$

Solucionando a equação (3.66) tem-se que

$$\omega t = \arcsin\left(\frac{1}{2M}\right) \quad M > 0,5 \quad (3.67)$$

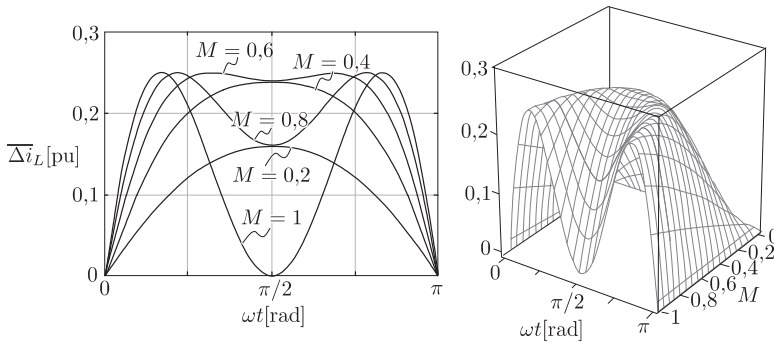


Figura 3-14 – Envoltória da ondulação de corrente parametrizada no indutor de entrada.

Substituindo a equação (3.67) em (3.65) chega-se que

$$\overline{\Delta i_L}_{\max} = \frac{1}{4} \quad (3.68)$$

Substituindo a equação (3.64) em (3.68) pode-se determinar a expressão do valor de indutância em função da ondulação de corrente. Dessa forma,

$$L_b = \frac{V_o}{16 \cdot \Delta i_L \cdot f_s}, \quad M > 0,5 \quad (3.69)$$

A expressão do valor de indutância na equação (3.69) é válida somente para o conversor operando no modo de condução contínua (CCM).

3.7 ONDULAÇÃO DE TENSÃO NOS CAPACITORES DE SAÍDA

Assumindo que os capacitores $C_{j,k}$, $j \in \{1, 2, 3\}$, $k \in \{A, B\}$ possuem baixa capacitância, então a ondulação de tensão é determinada pelos capacitores de saída $C_{o,i}$, $i \in \{A, B\}$. Essa ondulação de tensão é inerente de conversores PFC monofásico e é causada pela parcela oscilante da potência ativa. Dessa forma, a ondulação pode ser determinada pelo conceito de balanço de energia.

Considerando que no conversor não há dissipação de energia, pode-se estabelecer a seguinte relação:

$$P_i = P_o, \quad (3.70)$$

onde P_i e P_o correspondem às potências de entrada e de saída.

Considerando que tanto tensão de entrada como corrente de entrada estão em fase, então pode-se estabelece que

$$\frac{V_{g,p} \cdot I_{g,p}}{2} \sin(\omega t)^2 = V_o \cdot I_o. \quad (3.71)$$

O lado esquerdo da equação (3.71) pode ser decomposto em duas parcelas. Assim,

$$\frac{V_{g,p} \cdot I_{g,p}}{2} (1 - \cos(2\omega t)) = V_o \cdot I_o. \quad (3.72)$$

Isolando a corrente de saída I_o da equação (3.72) tem-se:

$$I_o = \frac{V_{g,p} \cdot I_{g,p}}{2V_o} - \frac{V_{g,p} \cdot I_{g,p}}{2V_o} \cos(2\omega t). \quad (3.73)$$

A corrente I_o é composta por duas parcelas, uma constante que é direcionada para carga e outra oscilante que é absorvida pelos capacitores de saída. A parcela oscilante é responsável pela ondulação de tensão nos capacitores e, dessa forma, essa deve ser usada para quantificar a ondulação. Assim a corrente de baixa frequência que flui nos capacitores de saída é dada como

$$i_{Co} = \frac{V_{g,p} \cdot I_{g,p}}{2V_o} \cos(2\omega t) = \frac{P_o}{V_o} \cos(2\omega t). \quad (3.74)$$

A tensão sobre o capacitor equivalente de saída é dada como

$$v_{Co} = \frac{1}{C_o} \int i_{Co} dt. \quad (3.75)$$

Substituindo a equação (3.74) em (3.75) tem-se

$$v_{Co} = \frac{P_o}{V_o \cdot C_o} \int \cos(2\omega t) dt. \quad (3.76)$$

Solucionando a equação (3.76) chega-se que

$$v_{Co} = \frac{P_o \cdot \sin(2\omega t)}{2 \cdot V_o \cdot C_o \cdot \omega}. \quad (3.77)$$

A tensão sobre o capacitor de saída é máxima quando $t = \frac{\pi}{4\omega}$. Substituindo esta consideração na equação (3.77), tem-se

$$\Delta v_{C_o} = \frac{P_o}{2 \cdot V_o \cdot C_o \cdot 2\pi \cdot f_g}. \quad (3.78)$$

O capacitor equivalente de saída pode ser substituído na equação (3.78). Assim,

$$\Delta v_{C_o} = \frac{P_o \cdot (C_{o,A} + C_{o,B})}{2 \cdot V_o \cdot 2\pi \cdot f_g \cdot C_{o,A} \cdot C_{o,B}}. \quad (3.79)$$

Considerando que os capacitores $C_{o,A} = C_{o,B}$ pode-se escolher suas capacitâncias em função da ondulação de tensão de saída. Deste modo,

$$C_{o,i} \geq \frac{P_o}{2\pi \cdot f_g \cdot V_o \cdot \Delta V_o}, \quad i \in \{A, B\}. \quad (3.80)$$

3.8 CRITÉRIOS PARA A ESCOLHA DOS CAPACITORES DE COMUTAÇÃO

Durante toda análise matemática, desenvolvida até o presente momento, somente o modo *no-charge* de operação foi considerado. Isso se deve ao fato de simplificar bastante as expressões matemáticas. Caso os outros modos fossem considerados como, por exemplo, *complete-charge*, *parcial-charge*, levaria ao massivo manipulamento matemático, devido a presença de expressões exponenciais, o que poderia não apresentar vantagens frente às expressões que foram desenvolvidas. Em contrapartida, o método desenvolvido pode ser empregado para estimar as correntes em todos os elementos do conversor proposto também para o modo *parcial-charge*.

Para o conversor operar no modo *no-charge* seriam necessários elevados valores de capacitância e frequência de comutação, o que inviabilizaria o projeto físico do conversor, devido ao elevado custo e volume de componentes.

Outro aspecto que deve ser levado em consideração é que, a priori, o modo *complete-charge* não traz benefícios para eficiência do conversor. Embora esse modo minimize os requisitos de valores de capacitância e frequência de comutação, ele acarreta em elevadas

perdas, principalmente de comutação, devido aos elevados picos de corrente durante a comutação dos capacitores.

Portanto, o modo *partial-charge* apresenta melhor compromisso entre perdas, volume de capacitores e frequência de comutação. Devido a esses fatores, a escolha dos capacitores de comutação $C_{i,k}$, $i \in \{1, 2, 3\}$, $k \in \{A, B\}$, deve ser feita de tal forma que a comutação ocorra nesse modo. Para isso, é necessário avaliar três variáveis: resistências parasitas, valor de capacitância e frequência de comutação. Esta última deve ser escolhida em função das perdas nos semicondutores e também no indutor de entrada. Portanto, estabelecida a frequência de comutação, deve-se escolher um valor de capacitância que, combinado às resistências parasitas ao longo do circuito, propicie ao menos o modo *partial-charge*. A resistência parasita pode ser estimada pelos dados de catálogo dos interruptores comandados e diodos. Garantindo a constante de tempo RC do circuito, deve-se observar se os capacitores suportam as correntes eficazes do circuito. Atendendo a mais esse requisito o capacitor está apto a ser utilizado no projeto.

Deve ficar claro que há inúmeras combinações de resistências parasitas e capacitâncias que levam ao bom funcionamento da estrutura. Obter um valor ótimo de capacitância é uma tarefa difícil, haja vista que se devem avaliar vários outros requisitos como perdas, custo e volume. Este trabalho não visa a exploração de um método analítico para escolha dos capacitores de comutação, ficando isto como alvo de pesquisas futuras.

3.9 RESUMO SOBRE O CAPÍTULO

Neste capítulo foram apresentadas as topologias monofásicas propostas por este trabalho. Foram descritas as etapas de operação e análise qualitativa entre os seis conversores. Após, foi realizada a análise estática do conversor Tipo I, onde foram quantificados os esforços de correntes em todos os elementos. Adicionalmente, uma expressão para o cálculo do valor de indutância de entrada foi obtida. As equações apresentadas neste capítulo devem ser utilizadas no projeto dos elementos do conversor e, por isso, são de grande valia.

Capítulo 4

Modelagem orientada ao controle dos retificadores monofásicos propostos

PARA que os retificadores propostos consigam operar com alto fator de potência é necessário que estes se portem para rede elétrica como uma resistência, de modo que a tensão e a corrente estejam em fase. Para tal, é imprescindível que ao menos a corrente de entrada seja controlada.

O mecanismo de controle dos conversores estáticos é o comando ordenado dos interruptores comandados. Todavia, estes são comandados por meio de um sinal modulador que, quando comparado com uma portadora triangular, obtém-se o padrão de comutação. A questão está em determinar os sinais moduladores que controlam o conversor, de forma que se drene da rede elétrica correntes senoidais.

Uma maneira de gerar os sinais moduladores é por meio da comparação da corrente sensoriada com uma referência pré-estabelecida. O resultado desta comparação, multiplicado a um ganho ou uma função (controlador), resulta em um sinal modulante que o conversor tentará sintetizar através dos interruptores.

Basicamente, o que está se fazendo é um controle em malha fechada. No entanto, o simples fato de comparar a corrente com uma referência, pode produzir uma instabilidade, gerando o mau funcionamento do sistema. O que determina se o conversor será estável ou instável é a escolha dos parâmetros, tanto do circuito de potência quanto do controlador. Para que se conheça esse limite, é essencial que se tenha um modelo matemático do sistema. Esse modelo pode ser extraído a partir de uma simplificação do sistema real.

Portanto, este capítulo é dedicado à apresentação dos procedimentos de modelagem dos conversores ca-cc híbridos propostos. Objetiva-se com esses modelos o controle das grandezas indispensáveis para o funcionamento do conversor, tais como tensões e correntes. Será dada ênfase à obtenção de modelos matemáticos que possibilitem analisar dinamicamente os conversores e projetar seus respectivos controladores.

4.1 ESTRATÉGIA DE CONTROLE

Antes de dar início à obtenção dos modelos matemáticos para o controle do conversor, é necessário definir uma estratégia de controle. Para tal finalidade, na Figura 4-1 é apresentada a forma como as grandezas de tensões e correntes são adquiridas. O sensoramento da corrente se faz necessário, pois se deseja que o conversor possua um elevado fator de potência e com baixa distorção harmônica. Para isso, a corrente é controlada para seguir uma referência pré-estabelecida. Essa referência é gerada por meio do controle das tensões do barramento cc. A tensão de saída deve dispor boa regulação estática e rápida resposta dinâmica a distúrbios de carga. Também, deve-se garantir que as tensões parciais v_{op} e v_{on} não fiquem desequilibradas, por conta de diferença de valores de parâmetros do circuito.

As tensões de entrada são lidas tanto para geração da referência de controle como também para realimentação das razões cíclicas, o que melhora a resposta dinâmica.

Após a medição dos quatro sinais necessários para o controle, estes são processados por um esquema de controle, que visa calcular os níveis de razão cíclica que o conversor terá que impor.

4.2 MODELO POR VALORES MÉDIOS DA CORRENTE DE ENTRADA

O conversor comutado pode ser visto como uma fonte de tensão senoidal controlada pela razão cíclica, conectada à fonte de entrada por uma indutância, tal como ilustra a Figura 4-2, onde foram desprezadas as perdas resistivas. Para chegar nessa consideração, devem-se desprezar as dinâmicas dos capacitores, frente ao período de comutação. Portanto, é assumido que, durante o período de

comutação, as tensões sobre todos os capacitores não se alteram, podendo, dessa forma, serem modeladas como fontes de tensão, conforme ilustrado na Figura 4-2.

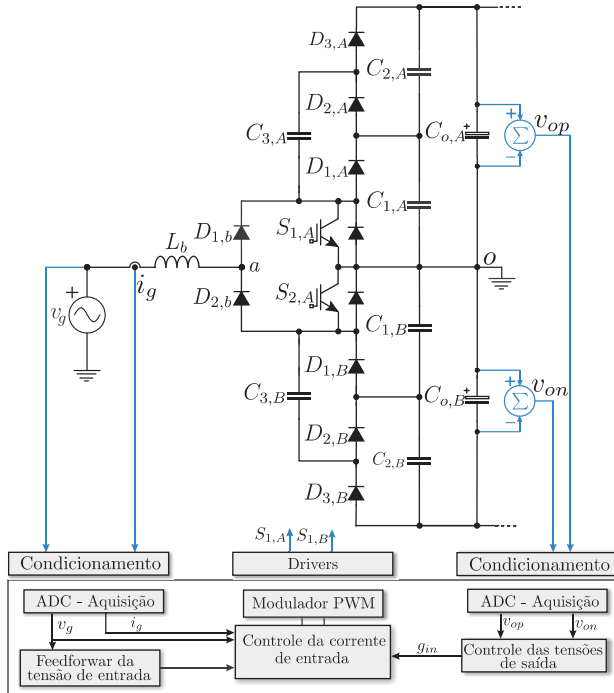


Figura 4-1 – Estrutura básica do conversor híbrido necessária para implementação da estratégia de controle.

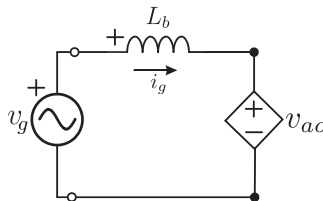


Figura 4-2 – Representação do conversor monofásico pela sua componente fundamental.

Por meio do circuito da Figura 4-2 pode-se escrever a seguinte equação para corrente i_g :

$$i_g = \frac{1}{L_b} \int (v_g - v_{ao}) dt, \quad (4.1)$$

onde

$$v_{ao} = m \cdot \frac{V_o}{4} \quad (4.2)$$

e V_o é a tensão de saída do conversor e m representa o sinal modulador. O fator 4, presente na equação (4.2), é devido ao fato do conversor impor em seus terminais comutados uma tensão que corresponde a $\frac{1}{4}$ da tensão de saída.

Substituindo a equação (4.2) em (4.1) obtém-se a expressão (4.3).

$$i_g = \frac{1}{L_b} \int \left(v_g - m \cdot \frac{V_o}{4} \right) dt. \quad (4.3)$$

Aplicando a transformada de Laplace na equação (4.3) chega-se a expressão (4.4)

$$i_g(s) = \frac{1}{sL_b} \left(v_g(s) - m(s) \frac{V_o}{4} \right). \quad (4.4)$$

Por meio da equação (4.4) pode-se esboçar o diagrama de blocos da Figura 4-3.

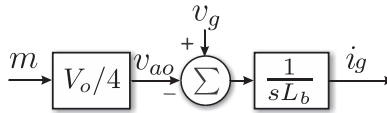


Figura 4-3 – Diagrama de blocos do modelo da corrente de entrada.

O conversor híbrido proposto pode ser visto pela entrada como uma fonte de tensão conectada a uma impedância que, no caso da operação como PFC, se comporta como uma resistência, r_{in} , tal como ilustra a Figura 4-4.

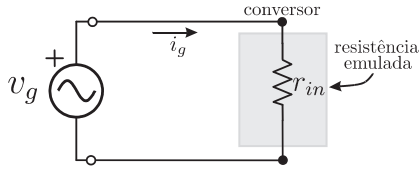


Figura 4-4 – Modelagem do conversor com uma resistência vista pela rede elétrica.

Garantido a operação com fator de potência unitário, a corrente de entrada i_g pode ser representada como

$$i_g = \frac{v_g}{r_{in}} = \frac{V_{gp}}{r_{in}} \cdot \sin(\omega t). \quad (4.5)$$

A expressão (4.5) ainda pode ser representada em função da condutância que o conversor emula durante a operação como PFC, tal como descreve a equação (4.6).

$$i_g = V_{gp} \cdot g_{in} \cdot \sin(\omega t). \quad (4.6)$$

onde,

$$g_{in} = \frac{1}{r_{in}} = \frac{2P}{V_{gp}^2}, \quad (4.7)$$

sendo que P representa a potência processada pelo conversor.

A potência P é dependente do nível de carga na saída do conversor. Logo, esse nível pode ser ponderado em função da potência nominal do conversor, P_{nom} . Assim,

$$P = k_{ref} \cdot P_{nom}. \quad (4.8)$$

Deste modo, a corrente de referência também pode ser ponderada pelo fator k_{ref} , responsável por ajustar a amplitude da corrente de referência, a qual é proporcional à potência na carga, portanto:

$$i_{g,ref} = k_{ref} \cdot G_{nom} \cdot V_{gp} \cdot \sin(\omega t), \quad (4.9)$$

onde,

$$g_{in} = k_{ref} \cdot G_{nom}. \quad (4.10)$$

A responsabilidade pela geração do fator k_{ref} é do controlador da malha de tensão. Este, por sua vez, através do erro da comparação do valor medido de tensão com a referência, ajusta sua saída de modo que seja atingido do valor de condutância que o conversor deverá emular para rede elétrica. A Figura 4-5 apresenta o diagrama de blocos das malhas de tensão e corrente.

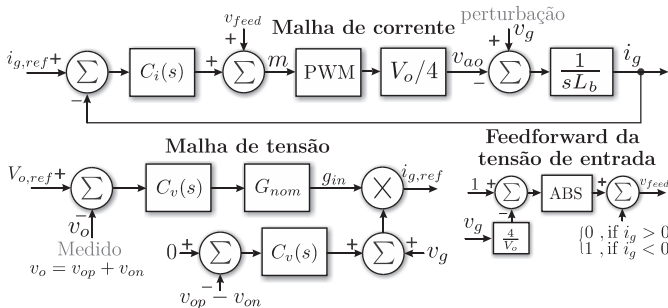


Figura 4-5 – Diagrama de blocos das malhas de controle de tensão e corrente.

Na Figura 4-5 pode ser observado o diagrama de blocos do *feedforward* da tensão de entrada. Este bloco tem por finalidade a rejeição da tensão da rede elétrica, que é vista como uma perturbação. Logo, sem esse, grande parte do esforço do compensador de tensão seria para anular essa componente. Adicionalmente, na mesma figura, está ilustrada a malha de equilíbrio das tensões de saída. Esta tem por objetivo a inserção de pequenos valores médios na corrente de entrada a fim de manter as tensões v_{op} e v_{on} equilibradas. Essa malha deve

possuir dinâmica lenta, podendo ser usado o mesmo compensador da malha da tensão da saída v_o .

4.3 MODELO POR VALORES MÉDIOS DA TENSÃO DE SAÍDA

De acordo com o diagrama de blocos da Figura 4-5, a malha de tensão deve resultar na geração do sinal de controle g_{in} . Este, para que não haja distorções na corrente de entrada i_g , deve ser constante. Desta forma, é necessário que a dinâmica da malha de tensão varie lentamente, caso contrário, oscilações em g_{in} acarretariam em distorções harmônicas na corrente i_g . Uma das oscilações mais importante é a que ocorre na frequência de 120 Hz devido à potência oscilante presente em conversores PFC monofásicos. Por isso, é imprescindível a obtenção de uma função de transferência que relacione dinamicamente a tensão de saída v_o com a condutância emulada g_{in} .

É suposto que os capacitores $C_{j,A}$ e $C_{j,B}$, $j \in \{1, 2, 3\}$, possuem dinâmica muito inferior aos capacitores C_{oA} e C_{oB} , tendo pouca influência na tensão de saída v_o , podendo seu comportamento ser desconsiderado. Assim, o circuito equivalente do conversor proposto, desconsiderando as perdas, pode ser simplificado ao apresentado na Figura 4-6. Nesta, o capacitor C_o representa a capacitância equivalente na saída do conversor, ou seja, $C_o = \frac{C_{oA} \cdot C_{oB}}{C_{oA} + C_{oB}}$.

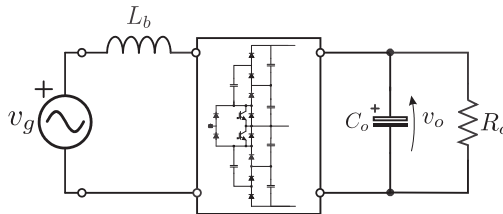


Figura 4-6 – Circuito equivalente para obtenção do modelo da planta de tensão.

Por meio do circuito da Figura 4-6 pode-se escrever a seguinte equação para o balanço de potência nos elementos:

$$P_{in} = P_{L_b} + P_{C_o} + P_{R_o}, \quad (4.11)$$

onde:

P_{in} : potência instantânea da fonte de entrada;

P_{L_b} : potência instantânea no indutor L_b ;

P_{C_o} : potência instantânea no capacitor equivalente de saída.

P_{R_o} : potência instantânea na carga R_o .

As potências envolvidas na equação (4.11) são definidas a seguir:

$$P_{in} = \frac{g_{in} \cdot V_{gp}^2}{2} \quad (4.12)$$

$$P_{L_b} = \frac{1}{2} L_b \frac{d}{dt} i_g^2 \quad (4.13)$$

$$P_{C_o} = \frac{1}{2} C_o \frac{d}{dt} v_o^2 \quad (4.14)$$

$$P_{R_o} = \frac{v_o^2}{R_o}. \quad (4.15)$$

O termo P_{L_b} possui pouca influencia na dinâmica da malha de tensão, logo, pode ser desprezado na análise sem perda de generalidade. Assim, substituindo as equações (4.12), (4.14), (4.15) na equação (4.11), obtém-se a expressão (4.16).

$$\frac{g_{in} \cdot V_{gp}^2}{2} = \frac{1}{2} C_o \frac{d}{dt} v_o^2 + \frac{v_o^2}{R_o}. \quad (4.16)$$

O modelo de pequenos sinais é obtido perturbando a tensão de saída v_o e a condutância g_{in} em torno do ponto de operação, de tal modo que:

$$v_o = V_o + \tilde{v}_o \quad (4.17)$$

$$g_{in} = G_{in} + \tilde{g}_{in}. \quad (4.18)$$

onde \tilde{v}_o e \tilde{g}_{in} representam pequenas oscilações em torno do ponto de equilíbrio.

Substituindo as equações (4.17) e (4.18) na equação (4.16) obtém-se:

$$[G_{in} + \tilde{g}_{in}] \frac{V_{gp}^2}{2} = \frac{1}{2} C_o \frac{d}{dt} [V_o + \tilde{v}_o]^2 + \frac{[V_o + \tilde{v}_o]^2}{R_o}. \quad (4.19)$$

Aplicando a transformada de Laplace na equação (4.19) obtém-se:

$$[G_{in} + \tilde{g}_{in}(s)] \frac{V_{gp}^2}{2} = \frac{1}{2} C_o s [V_o + \tilde{v}_o(s)]^2 + \frac{[V_o + \tilde{v}_o(s)]^2}{R_o}. \quad (4.20)$$

Extraindo somente os termos de primeira ordem da equação (4.20) se obtém:

$$\tilde{g}_{in}(s) \frac{V_{gp}^2}{2} = s \cdot C_o \cdot V_o \cdot \tilde{v}_o(s) + \frac{2V_o \tilde{v}_o(s)}{R_o}. \quad (4.21)$$

Ainda, manipulando a equação (4.21) pode-se concluir que:

$$G_v(s) = \frac{\tilde{v}_o(s)}{\tilde{g}_{in}(s)} = \frac{V_{gp}^2 R_o}{4V_o} \frac{1}{\left(s \frac{C_o \cdot R_o}{2} + 1 \right)}, \quad (4.22)$$

onde $G_v(s)$ representa a função de transferência de pequenos sinais que relaciona a variação da tensão de saída v_o com a condutância emulada g_{in} .

Com o intuito de validar a planta de tensão obtida, foi realizada a simulação do conversor e comparado ao modelo obtido. A Figura 4-7 apresenta o resultado de simulação para um degrau de referência de tensão de saída de 6% em torno do ponto de operação. Pode-se

observar uma boa aproximação entre o conversor simulado e o modelo obtido.

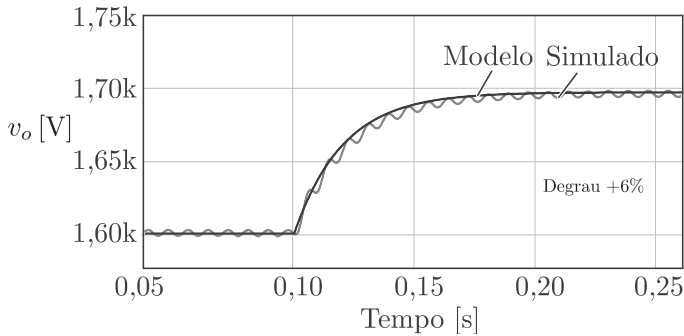


Figura 4-7 – Simulação do conversor e modelo para um degrau de 6% na referência de tensão.

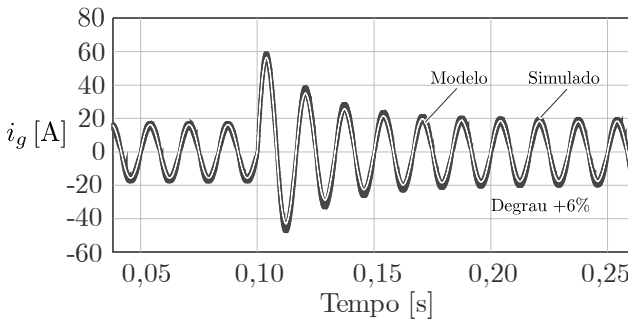


Figura 4-8 – Comportamento da corrente de entrada do conversor i_g e do modelo matemático, diante de um degrau de referência de 6% na tensão de saída.

A Figura 4-8 apresenta o comportamento da corrente de entrada i_g diante de um degrau de 6% na referência de tensão de saída v_o . Nesta, sobreposta, está o modelo do circuito comutado. Da mesma maneira, pode-se observar uma boa aproximação entre o modelo e o circuito simulado, validando, desta forma, a modelagem adotada.

4.4 RESUMO E COMENTÁRIOS SOBRE O CAPÍTULO

Este capítulo se destinou a modelagem orientada ao controle dos conversores propostos. Foi empregada a abordagem por valores médios. Diante de algumas considerações, foi possível obter expressões semelhantes aos conversores convencionais de três níveis. Devido a esse fato, o projeto dos controladores pode ser realizado empregando os procedimentos apresentados, por exemplo, por [66].

Capítulo 5

Projeto, simulação e resultados experimentais do retificador monofásico

5.1 DEFINIÇÃO DO PROJETO

5.1.1 Escolha dos parâmetros

Esta seção tem por objetivo a apresentação das especificações de projeto e os componentes que serão empregados tanto para os resultados experimentais quanto para as simulações.

Na Tabela 2 as especificações do projeto do conversor são apresentadas. Ressalta-se o valor da tensão de saída (1600 V). Esse nível de tensão é facilmente atingido com os conversores da família proposta. Para essa condição o índice de modulação é

$$M = \frac{311 \cdot 4}{1600} = 0,777. \quad (5.1)$$

Com base na especificação da tensão do barramento V_o , conclui-se que todos os semicondutores deveram estar submetidos a 400 V de tensão reversa, ou seja, a um quarto da tensão de saída.

Na Tabela 3 são mostrados os componentes empregados no conversor.

Tabela 2 – Especificações do protótipo

Parâmetro	Valor
Tensão de entrada v_g	220 V – 60 Hz
Potência de saída P_o	2500 W
Tensão de saída V_o	1600 V
Frequência de comutação f_s	90 kHz

Tabela 3 – Especificações dos componentes utilizados

Componente	Valor/especificação
Indutor de entrada L_b	300 uH/ magnetics
Capacitores de comutação	Epcos - B32778G8606K
$C_{k,j}$ $k = 1, 2, 3$ $j = A, B$	$60 \mu F$
Capacitor de saída $C_{o,A}$	$470 \mu F$ - Epcos B43504-A9477-M
MOSFET	IPW65R080CFD
	$r_{s,on} = 130m\Omega$
Diodos	IDH16S60C
	$r_d = 35m\Omega$

Por meio das especificações das Tabela 2 e Tabela 3 pode-se calcular alguns dos critérios usados para especificar os componentes do circuito.

o Ondulação de corrente

Usando a equação (3.69) pode-se determinar a ondulação de corrente considerada no projeto. Assim,

$$\Delta i_L = \frac{V_o}{16 \cdot L_b \cdot f_s} = \frac{1600V}{16 \cdot 300\mu H \cdot 90kHz} \approx 4 \text{ A.} \quad (5.2)$$

Em termos percentuais a equação (5.2) equivale a uma ondulação de corrente de aproximadamente 25%.

○ Ondulação de tensão de saída

Usando a equação (3.80) pode-se calcular a ondulação de tensão considerada no projeto. Dessa forma, fazendo as devidas substituições, obtém-se

$$\Delta V_o = \frac{P_o}{2\pi \cdot f_g \cdot V_o \cdot C_{o,i}} = \frac{2500W}{2\pi \cdot 60Hz \cdot 1600V \cdot 470\mu F} \approx 8.8 \text{ V}. \quad (5.3)$$

Em termos percentuais o capacitor escolhido fornece uma ondulação de tensão de aproximadamente 0,5% da tensão de saída V_o .

○ Verificação da constante de tempo do circuito

Escolhida a capacitância dos capacitores de comutação, interruptores e diodos, deve-se verificar se a constante de tempo RC do circuito fornece condições para que o conversor opere no modo *parcial-charge*. Considerando que durante a primeira etapa de operação, semiciclo positivo, os semicondutores no caminho da corrente durante a comutação dos capacitores $C_{1,A}$ e $C_{3,A}$ são o diodo D_2 e o interruptor $S_{1,A}$, então pode-se afirmar que

$$\tau = (r_{s,on} + r_d) \cdot C_{i,A} = (130m\Omega + 35m\Omega) \cdot 60\mu F \approx 10 \mu s. \quad (5.4)$$

O maior intervalo de comutação ocorre quando $d = M \cdot T_s$. Para este intervalo deve-se garantir que esse tempo seja menor que τ . Assim,

$$\frac{0,77}{90 \text{ kHz}} < \tau. \quad (5.5)$$

A equação (5.5) mostra que a constante de tempo é suficiente para garantir o modo *parcial-charge*. Nesta análise não foram consideradas outros elementos parasitas do circuito como, por exemplo, resistências e indutâncias das trilhas. A indutância parasita tem influência importante na comutação, pois ela não permite que, durante a comutação de capacitores, ocorram elevados picos de corrente. Em

contrapartida, deve-se garantir que os valores de indutância parasita não sejam elevados, a fim de não alterar o modo de funcionamento do conversor. Alguns autores, [34, 35, 67], fazem uso de indutâncias adicionais no circuito, com o intuito de tirar vantagens na comutação do interruptor, e também para redução dos impactos da recuperação reversa dos diodos da célula multiplicadora. Deve ficar claro que a análise desenvolvida neste trabalho não abrange o uso de tais indutores adicionais.

5.2 ANÁLISE DA DISTRIBUIÇÃO DE PERDAS NO CONVERSOR TIPO I

De posse das especificações de projeto e da seleção dos componentes é possível estimar as perdas de energia por dissipação nos semicondutores. Essa estimativa é importante para construção física do protótipo, pois ela deve fornecer condições de avaliar o rendimento esperado e também selecionar um mecanismo de dissipação. As perdas nos semicondutores são divididas em duas parcelas: i) perdas de condução; ii) perdas por comutação. A primeira é oriunda da presença instantânea de tensão e corrente quando interruptor está em condução. Já a segunda, é em virtude da presença instantânea de tensão e corrente no momento da comutação do semicondutor.

Outras perdas possuem influência considerável no rendimento do conversor como, por exemplo, as perdas no indutor L_b .

Neste trabalho, para estimação das perdas nos semicondutores, será empregada a técnica apresentada por [68, 69]. Essa técnica se baseia na estimação das perdas por meio das curvas fornecidas pelos fabricantes, através da interpolação matemática destas. Por consequência, esse método permite o cálculo da dissipação de energia em qualquer semicondutor como uma boa precisão, para uma ampla faixa de operação³.

5.2.1 Perdas de condução nos interruptores comandados.

Para os interruptores comandados foi selecionado o MOSFET modelo IPW65R080CFD, produzido pela empresa Infineon[®]. Como todo o MOSFET, as perdas de condução são em virtude da passagem

³ Supondo as condições de testes que o fabricante fornece como, tensão de operação, temperatura, resistência de *gate*, etc.

da corrente pelo canal *dreno-source* quando o interruptor está conduzindo. Devido a essa característica, o fabricante fornece a curva que relaciona a queda de tensão no canal em função da corrente instantânea, a qual está ilustrada na Figura 5-1. Observa-se que a curva apresenta característica linear e, portanto, pode-se aproximar pela seguinte equação:

$$v_s = 0,163 \cdot i_s - 0,161 \quad (5.6)$$

O primeiro termo do lado direito da equação (5.6) refere-se à resistência do canal $r_{s,on}$, o que é bastante próximo do valor fornecido pelo fabricante na equação (5.4).

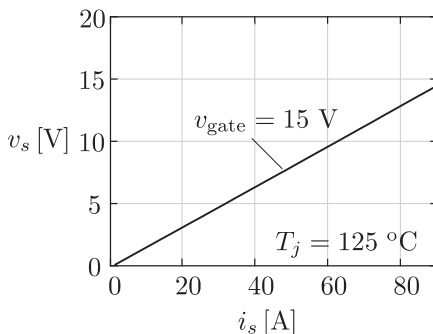


Figura 5-1 – Curva de queda de tensão em função da corrente no canal do MOSFET IPW65R080CFD.

A potência dissipada na resistência do canal do MOSFET da topologia é dada como

$$P_{S,cond} = \frac{1}{2\pi} \int_0^\pi v_s \cdot i_s \cdot d \, dt, \quad (5.7)$$

onde i_s é a corrente instantânea no interruptor e d a razão cíclica. Portanto,

$$i_s = i_{s,k} = \frac{i_g}{2} \left(\frac{d+1}{d} \right) \quad (5.8)$$

e

$$d = 1 - M \cdot \text{sen}(\omega t). \quad (5.9)$$

Substituindo as equações (5.6), (5.8) e (5.9) na expressão (5.7), e solucionando para as condições nominais de operação, tem-se

$$P_{S,\text{cond}} = 14,26 \text{ W}. \quad (5.10)$$

Como há dois MOSFETs, logo

$$2 \cdot P_{S,\text{cond}} = 28,5 \text{ W}.$$

5.2.2 Perdas de comutação nos interruptores comandados

As perdas de comutação representam sempre uma grande parcela das perdas totais em conversores estáticos. O método proposto por [68] se baseia no conhecimento da curva que relaciona a energia dissipada na comutação com a corrente comutada. Tipicamente, os fabricantes fornecem duas curvas, uma com a energia dissipada na entrada em condução e outra, que relaciona a energia dissipada no instante do bloqueio do interruptor. Infelizmente, o catálogo do interruptor selecionado não oferece tais curvas. No entanto, com o intuito de obter uma estimativa de tais perdas, simulações com o modelo selecionado foram realizadas no *software* OrCAD[®]. O modelo é disponibilizado pelo fabricante do MOSFET e pode ser adicionado à biblioteca de componentes do OrCAD[®].

Para extrair as curvas de energia foi realizada uma simulação com circuito da Figura 5-2. Foram adicionados elementos parasitas ao redor do MOSFET a fim de obter resultados mais condizentes com o circuito real.

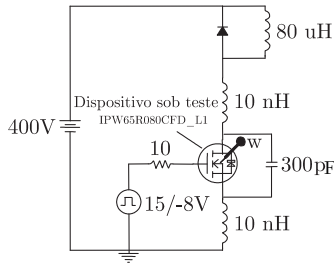


Figura 5-2 – Esquemático implementado no *software* OrCAD para extração das curvas de energia no MOSFET IPW65R080CFD.

Por meio do circuito da Figura 5-2 foram obtidas as curvas ilustradas na Figura 5-3. Nessa figura é apresentada a curva de energia para entrada em condução $E_{s,on}$ e também a curva de energia para o bloqueio $E_{s,off}$. Essas curvas podem ser interpoladas pelas seguintes equações:

$$E_{s,off} = 292 \times 10^{-9} \cdot i_s^2 - 3,8 \times 10^{-6} \cdot i_s + 23 \times 10^{-6} \quad (5.11)$$

$$E_{s,on} = 280 \times 10^{-9} \cdot i_s^2 + 5 \times 10^{-6} \cdot i_s + 17 \times 10^{-6}. \quad (5.12)$$

As equações (5.11) e (5.12) pode ser agrupadas de tal modo que

$$E_{s,total} = E_{s,on} + E_{s,off}. \quad (5.13)$$

A dissipação de energia na comutação no MOSFET é calculada como

$$P_{S,sw} = \frac{1}{2\pi} \int_0^\pi E_{s,total} dt \cdot f_s. \quad (5.14)$$

Calculando a equação (5.14) para as condições nominais de operação, conclui-se que

$$P_{S,sw} = 17 \text{ W.} \quad (5.15)$$

Como existem dois MOSFETs, logo

$$2 \cdot P_{S,sw} = 34 \text{ W} \quad (5.16)$$

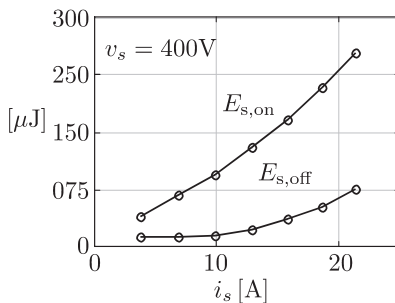


Figura 5-3 – Curvas de energia dissipada durante a comutação do MOSFET IPW65R080CFD, extraídas por meio do *software* OrCAD.

5.2.3 Perdas de condução nos diodos rápidos

O procedimento para estimação das perdas de energia nos diodos rápidos da topologia é semelhante ao apresentado na subseção 5.2.1. Conforme a Tabela 3, foi escolhido o diodo IDH16S60C fabricado pela empresa Infineon[©]. Já que se trata de um semicondutor com a tecnologia de *Silicon Carbide*, este não apresenta recuperação reversa e, portanto, as perdas de comutação podem ser desprezadas. Dessa forma, somente as perdas em condução serão consideradas. A Figura 5-4 apresenta a curva fornecida de pelo fabricante relacionando a queda de tensão no diodo em função da corrente. Essa curva pode ser aproximada pela seguinte equação linear:

$$v_{fd} = 0,053 \cdot i_d + 0,849. \quad (5.17)$$

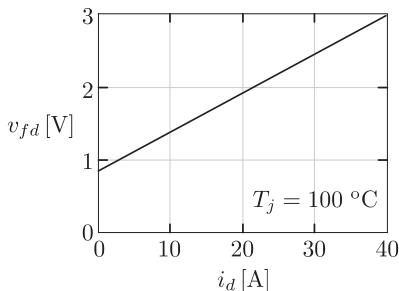


Figura 5-4 – Curva de queda de tensão sobre o diodo IDH16S60C.

○ **Perdas nos diodos $D_{1,k}$ e $D_{3,k}$**

Teoricamente, os diodos $D_{1,k}$ e $D_{3,k}$, $k \in \{A, B\}$ possuem a mesma corrente instantânea. Portanto, a potência dissipada nesses diodos, é calculada como

$$P_{D1,cond} = P_{D3,cond} = \frac{1}{2\pi} \int_0^\pi v_{fd} \cdot i_d \cdot (1 - d) dt. \quad (5.18)$$

O termo i_d em (5.18) deve ser substituído pela expressão quase instantânea dos diodos D_1 e D_3 , já representada anteriormente na equação (3.3). Portanto, fazendo essas considerações e calculando a equação (5.18) para as condições nominais de operação, chega-se que

$$P_{D1,cond} = P_{D3,cond} = 1,896 \text{ W}. \quad (5.19)$$

Contabilizando as perdas dos demais diodos, tem-se

$$2 \cdot P_{D1,cond} = 2 \cdot P_{D3,cond} = 3,8 \text{ W}. \quad (5.20)$$

○ **Perdas nos diodos $D_{2,k}$**

A potência dissipada nos diodos $D_{2,k}$, $k \in \{A, B\}$, é calculada como

$$P_{D2, \text{cond}} = \frac{1}{2\pi} \int_0^\pi v_{fd} \cdot (i_d \cdot d) dt. \quad (5.21)$$

O termo i_d em (5.21) deve ser substituído pela expressão quase instantânea do diodo D_2 , conforme representado na equação (3.3). Fazendo essa consideração e calculando para as condições nominais de operação, obtém-se

$$P_{D2, \text{cond}} = 2,7 \text{ W}. \quad (5.22)$$

Considerando que há dois diodos ($D_{2,A}$ e $D_{2,B}$), então

$$2 \cdot P_{D2, \text{cond}} = 5,5 \text{ W} \quad (5.23)$$

5.2.4 Perdas de condução no indutor de entrada

As perdas no indutor de entrada são divididas em perdas magnéticas e perdas por efeito Joule nos enrolamentos. Conforme, apresentado por [65, 66] as perdas magnéticas representam uma parcela pequena comparada às perdas por condução nos enrolamentos⁴. Devido a essa consideração, as perdas no indutor de entrada serão representadas somente pelas perdas Ôhmicas nos enrolamentos.

Assumindo que a ondulação de corrente não é elevada, será considerada somente a resistência cc do enrolamento do indutor de entrada.

Conforme a Tabela 3 foi escolhido o magnético produzido pela empresa Magnetics[®], núcleo toroidal modelo - 77440A7 [70]. Por meio das dimensões e parâmetros do núcleo, necessitou-se de 71 espiras – 15 AWG, totalizando uma resistência cc equivalente à

$$r_{L, \text{cc}} = 0,098 \Omega. \quad (5.24)$$

De posse da resistência cc, podem-se estimar as perdas por condução. Assim,

⁴ Consideração válida somente para o caso onde o conversor opera o modo de condução contínua e a ondulação de corrente não seja elevada. As perdas no núcleo magnético também dependem da frequência de comutação.

$$P_L = I_{g,ef}^2 \cdot r_{L,cc}. \quad (5.25)$$

Solucionado a equação (5.25) para condições nominais, obtém-se:

$$P_L = 12,7 \text{ W}. \quad (5.26)$$

5.2.5 Perdas de condução nos diodos lentos

Foi empregado o diodo intrínseco do MOSFET como substituição aos diodos $D_{1,b}$ e $D_{2,b}$. No lugar desses foram colocados MOSFETs com a tensão *gate-source* nula. A característica do diodo em antiparalelo é dada pelo fabricante e está ilustrada na Figura 5-5.

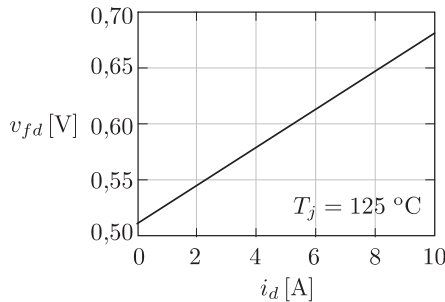


Figura 5-5 – Característica da queda de tensão no diodo em antiparalelo do MOSFET IPW65R080CFD.

A curva da Figura 5-5 pode ser aproximada pela seguinte equação:

$$v_{fd} = 0,017 \cdot i_d + 0,511 \quad (5.27)$$

A potência dissipada nesse diodo é calculada como

$$P_{Db} = \frac{1}{2\pi} \int_0^\pi v_{fd} \cdot i_d \, dt \quad (5.28)$$

O termo i_d deve ser substituído pela corrente de entrada i_g . Assim,

$$P_{Db} = 3,7 \text{ W.} \quad (5.29)$$

Considerando que há dois diodos lentos na topologia Tipo I. Dessa forma,

$$2 \cdot P_{Db} = 7.4 \text{ W.} \quad (5.30)$$

5.2.6 Perdas fixas de energia

As perdas fixas de energia são dissipações que não são função da carga. Tais são caracterizadas por perdas auxiliares como fontes auxiliares, circuitos de *gate-driver*, etc. e também pela dissipação de energia nas capacitâncias intrínsecas dos semicondutores. Para quantificação das perdas fixas será somente considerada as provocadas pelos semicondutores. Dessa forma, ficam responsáveis por essas perdas os MOSFETs e diodos da topologia.

A energia dissipada na capacitância intrínseca do MOSFET é fornecida pelo fabricante e corresponde a

$$E_{Coss} = 13 \mu\text{J} \quad (5.31)$$

para uma tensão de 400 V. Logo, a potência dissipada será

$$P_{Coss} = E_{Coss} \cdot f_s = 1,17 \text{ W.} \quad (5.32)$$

Como há dois MOSFETs na topologia, logo

$$2 \cdot P_{Coss} = 2,4 \text{ W.} \quad (5.33)$$

A energia dissipada na capacitância no diodo é dada pelo fabricante e corresponde a

$$E_{Dc} = 8,5 \mu\text{J} \quad (5.34)$$

para uma tensão de 400 V. Logo, a potência dissipada será

$$P_{D_c} = E_{D_c} \cdot f_s = 0,765 \text{ W.} \quad (5.35)$$

Como existem seis diodos com a mesma característica, logo,

$$6 \cdot P_{D_c} = 4,6 \text{ W.} \quad (5.36)$$

5.2.7 Totalização das perdas de energia

De posse de todas as parcelas de energia, pode-se estimar a perda total no circuito. Dessa forma, a perda total dissipada P_{total} é dada como

$$\begin{aligned} P_{\text{total}} = & 2 \cdot P_{S,\text{cond}} + 2 \cdot P_{S,\text{sw}} + 2 \cdot P_{D1,\text{cond}} + 2 \cdot P_{D2,\text{cond}} + \\ & + 2 \cdot P_{D3,\text{cond}} + P_L + 2 \cdot P_{D_b} + 2 \cdot P_{\text{Coss}} + 6 \cdot P_{D_c} \end{aligned} \quad (5.37)$$

Calculando a equação (5.37), chega-se que

$$P_{\text{total}} = 106,8 \text{ W.} \quad (5.38)$$

5.2.8 Rendimento teórico

A partir das equações encontradas é possível encontrar curvas que relacionem o rendimento da estrutura como uma função da potência de saída, índice de modulação e frequência de comutação.

O rendimento teórico é definido como

$$\eta = \frac{P}{P + P_{\text{total}}}, \quad (5.39)$$

onde P é a potência na carga e varia no intervalo de 0 até P_o . Quando a potência na carga é igual ao valor nominal, tem-se $P = P_o$.

Através da equação (5.39) pode-se representar o rendimento do retificador Tipo I em função da potência de saída para vários índices

de modulação. Tal gráfico pode ser visualizado na Figura 5-6. As curvas foram geradas para frequência de comutação de 90 kHz. Observa-se que o rendimento varia significativamente com a variação do índice de modulação. Para o índice de modulação igual a 0,77 obteve-se um rendimento máximo de 97,1% na potência 880 W. Pode-se observar na figura que para $M \geq 0,9$ e baixo $M \leq 0,5$ há redução expressiva do rendimento.

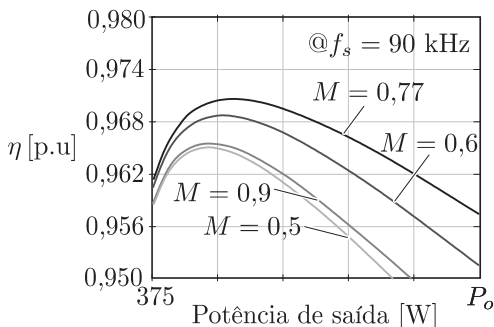


Figura 5-6 – Rendimento teórico do conversor tipo I em função da potência de saída para vários índices de modulação.

O comportamento do rendimento na potência nominal para variação do índice de modulação pode ser visto na Figura 5-7. Nessa figura é apresentado rendimento para três frequências de comutação. Como já dito anteriormente, o rendimento decresce consideravelmente para o aumento e redução do índice de modulação. Observa-se que o rendimento é sempre máximo para índices de modulação próximos de 0,7. A mesma constatação pode ser vista nos gráficos da Figura 5-8. Na Figura 5-8 (a) é apresentado um gráfico mostrando a superfície tridimensional do rendimento para variação da potência de saída e índice de modulação. Já na Figura 5-8 (b) é ilustrado o gráfico de contorno do rendimento. Em ambas as figuras constata-se que há uma área onde o rendimento é máximo. Essa região é compreendida pelo intervalo aproximado de $0,68 \leq M \leq 0,85$ e $30\%P_o \leq P \leq 50\%P_o$ para frequência de 90 kHz.

A Figura 5-9 ilustra o comportamento do rendimento teórico para variação da potência de saída e frequência de comutação. Na Figura 5-9 (a) pode-se observar o comportamento tridimensional do rendimento relacionando a potência de saída P e frequência de

comutação f_s , para o índice de modulação igual a 0,77. Já a Figura 5-9 (b) mostra o gráfico de contorno relacionando as mesmas variáveis para mesma condição. Em ambas as figuras pode-se observar que rendimento teórico aumenta com a redução da frequência de comutação f_s .

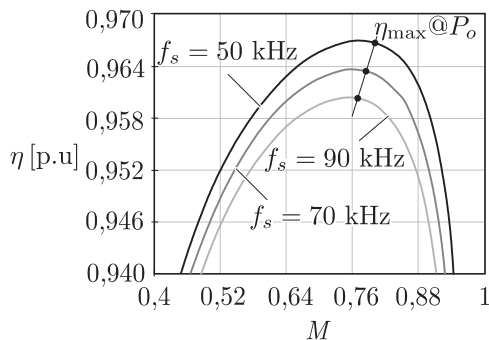


Figura 5-7 – Rendimento teórico em função do índice de modulação na potência nominal de saída para várias frequências.

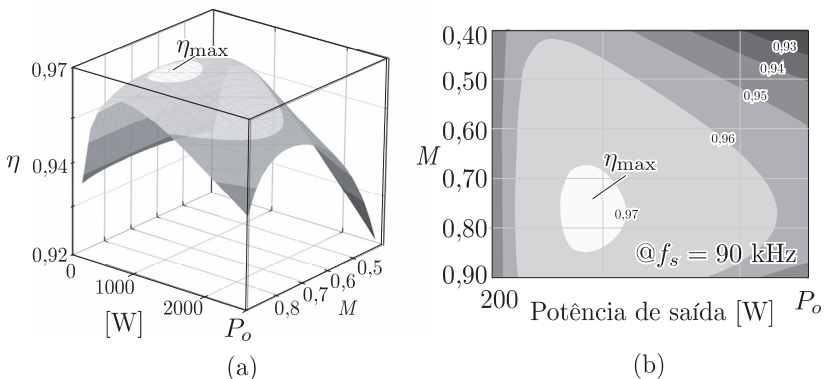


Figura 5-8 – Rendimento teórico: (a) Superfície 3D relacionando a potência de saída e índice de modulação; (b) Superfície 2D relacionando a potência de saída com o índice de modulação.

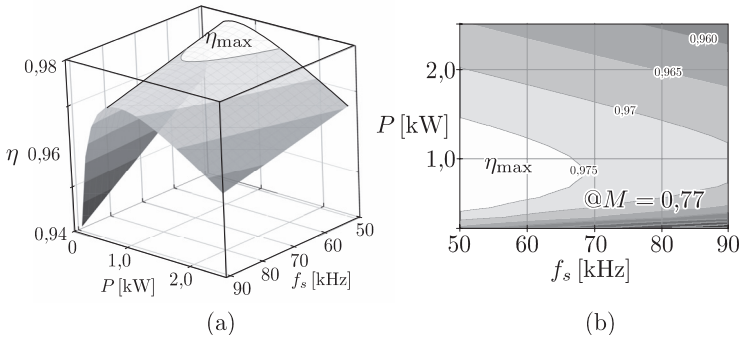


Figura 5-9 – Rendimento teórico: (a) superfície tridimensional relacionando o rendimento com a potência de saída e frequência de comutação para o índice de modulação igual 0,77; (b) gráfico de contorno do rendimento em função da potência de saída e frequência de comutação, válido para o índice de modulação igual a 0,77.

A Figura 5-10 apresenta a distribuição de perdas nos componentes do conversor Tipo I. Observa-se que as perdas de comutação nos MOSFETs contribuem em maior parcela no total das perdas, seguido pelas perdas de condução, também dos MOSFETs. Os gráficos são válidos para potência nominal de frequência de comutação de 90 kHz.

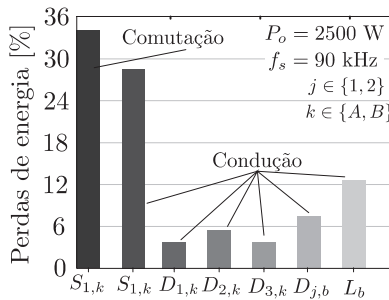


Figura 5-10 – Distribuição das perdas de energia no conversor Tipo I.

5.3 RESULTADOS DE SIMULAÇÕES

Todos os resultados de simulações foram extraídos utilizando o *software* PSIM® e empregando as especificações contidas na Tabela

2 e Tabela 3.

As simulações foram realizadas como o conversor operando em malha fechada, com controle de tensão e corrente de entrada, e sob condições nominais de operação.

Na Figura 5-11 são apresentados os resultados de simulação do conversor operando em condições nominais. São mostradas a tensão e corrente na fonte de entrada; tensão sobre o indutor L_b e a tensão comutada do conversor v_{ao} . Observa-se que a tensão v_{ao} alterna nos níveis $+400$ V, 0 V e -400 V, portanto, apresentando três níveis distintos. Outro aspecto importante é o fato da tensão e corrente de entrada estarem em fase, acarretando em um fator de potência próximo à unidade.

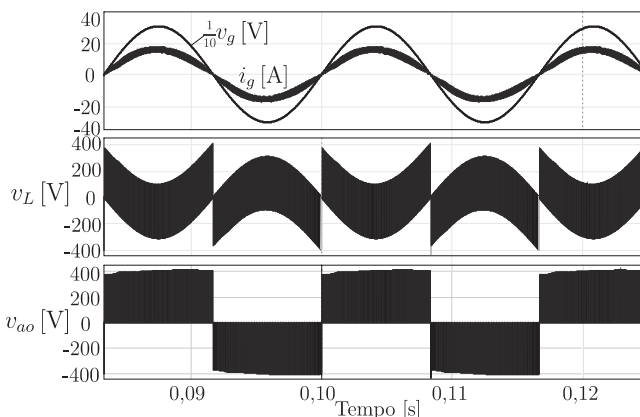


Figura 5-11 – Resultados de simulação: tensão e corrente na rede elétrica; tensão sobre o indutor de entrada; tensão comutada do conversor.

A Figura 5-12, para as condições da figura anterior, apresenta o comportamento do conversor para operação em regime permanente. Na Figura 5-12 (a) é apresentado novamente a corrente de entrada i_g . Já na Figura 5-12 (b) a tensão de saída v_o é mostrada. Nesta figura, pode-se observar que a tensão de saída é precisamente regulada no valor nominal de 1600 V, comprovando a eficácia da malha de tensão. Outro aspecto é que a ondulação de tensão, em torno de 8 V, pode ser visualizada em detalhes.

Na Figura 5-12 (c), o comportamento das tensões parciais de saída para operação em regime permanente é apresentado. Nessa figura, pode-se observar que as tensões v_{op} e v_{on} não apresentam mesmo valor

médio, diferindo em torno de 8 V em relação ao valor nominal, 800 V. Esse comportamento se deve ao fato da malha de controle do balanço das tensões não estar habilitado. Os valores médios das tensões parciais de saída estão representados por V_{op} e V_{on} na figura.

O efeito da ausência da malha de balanço das tensões de saída também pode ser visualizado na Figura 5-12 (d), onde as tensões sobre os capacitores $C_{j,A}$, $j \in \{1, 2, 3\}$ diferem em torno do valor nominal de 400 V.

Embora a Figura 5-12 não apresente a influência da malha de balanço das tensões de saída, não há, em termos percentuais, significativo desequilíbrio, podendo o conversor operar sem problemas aparentes.

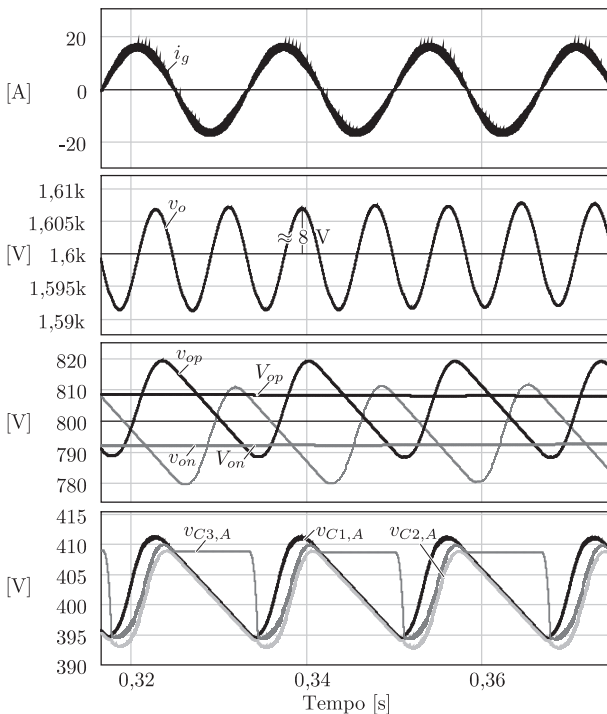


Figura 5-12 – Resultados de simulação em regime permanente: (a) corrente de entrada i_g ; (b) tensão de saída v_o ; (c) tensões parciais de saída v_{op} e v_{on} ; (d) tensões sobre os capacitores $C_{j,A}$, $j \in \{1, 2, 3\}$.

Para verificar a eficácia da malha de balanço das tensões de saída foi realizada uma simulação com o conversor operando com as tensões de saída inicialmente diferentes. Para isso, o conversor foi iniciado com suas tensões parciais de saída iguais a $v_{op} = 850$ V e $v_{on} = 750$ V. Os resultados da simulação podem ser vistos na Figura 5-13. Na Figura 5-13 (a) a corrente de entrada i_g é mostrada. Visualmente não há alteração significativa do comportamento da corrente de entrada com a ativação da malha de balanço.

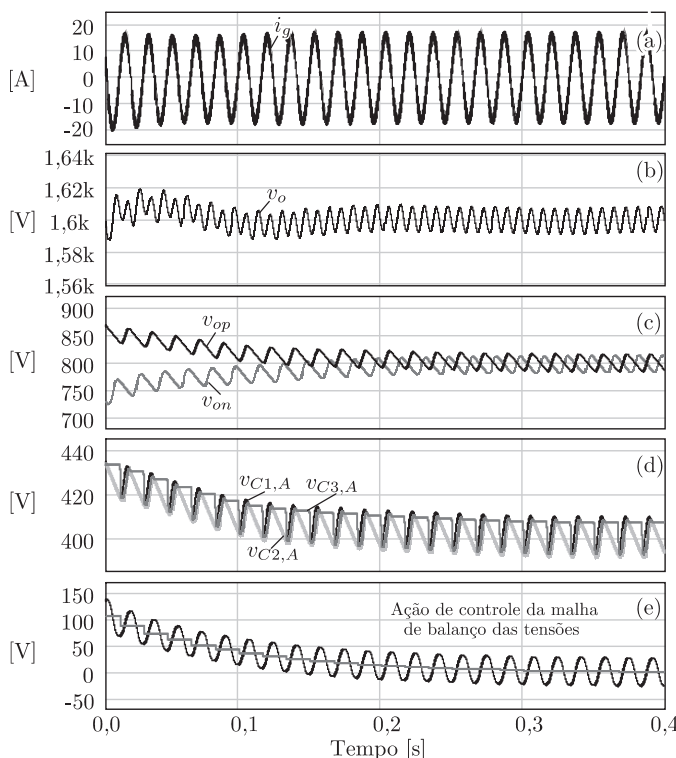


Figura 5-13 – Simulação para teste da malha de balanço das tensões: (a) corrente de entrada i_g ; (b) tensão de saída v_o ; tensões parciais de saída v_{op} e v_{on} ; tensão sobre os capacitores $C_{j,A}$, $j \in \{1, 2, 3\}$; Ação de controle da malha do balanço das tensões de saída.

Na Figura 5-13 (b) o comportamento da tensão de saída v_o é apresentado. Pode-se observar que o valor médio da tensão de saída é regulado na tensão de referência de 1600 V. O erro estático nulo é

atingido devido à ação do controlador proporcional-integral (PI) empregado na malha de controle da tensão de saída.

Na Figura 5-13 (c) pode-se observar o comportamento das tensões parciais de saída v_{op} e v_{on} . Nesta imagem, pode-se observar claramente que as tensões convergem lentamente para o valor nominal de 800 V. Diferente da Figura 5-12 (c), as tensões parciais de saída na Figura 5-13 (c), no final da simulação ($t = 0,4$ s), apresentam mesmo valor médio. O mesmo comportamento pode ser visualizado na Figura 5-12 (d), onde as tensões sobre os capacitores $C_{j,A}$, $j \in \{1, 2, 3\}$ convergem para o valor médio de 400 V. Na Figura 5-12 (e), o comportamento da ação de controle da malha de balanço das tensões de saída é apresentado. Observa-se que a saída do controlado converge para um valor médio próximo de zero.

Já a Figura 5-14 apresenta em detalhes o comportamento das correntes no conversor. São mostradas as correntes nos interruptores $S_{1,A}$, $S_{2,A}$ e as correntes nos capacitores $C_{k,j}$ $k = 1, 2, 3$ $j = A, B$. Observa-se que cada elemento opera durante meio ciclo da rede elétrica. Outro fato é que os elementos com maiores esforços são os interruptor $S_{1,A}$ e $S_{2,A}$ e os capacitores $C_{3,A}$ e $C_{3,B}$. Na ampliação observa-se a operação das correntes no modo *parcial-charge*.

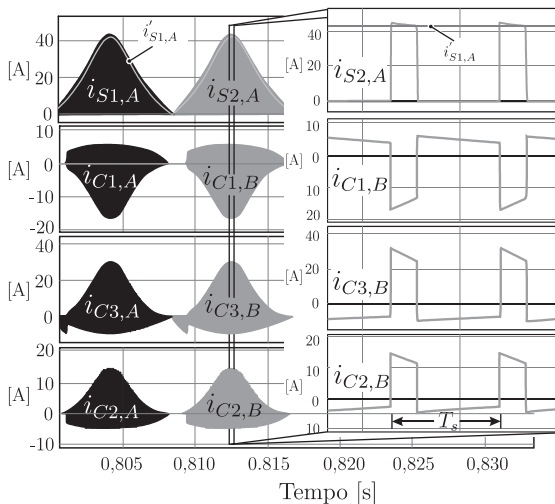


Figura 5-14 – Correntes nos elementos do conversor; corrente nos interruptores ativos; corrente nos capacitores de comutação.

5.3.1 Comparativo: teórico versus simulação

Com o intuito de validar a análise teórica dos esforços de correntes, simulações numéricas foram realizadas. Os resultados do comparativo podem ser visualizados na Tabela 4. Pode-se observar que em mais de 90% dos elementos o erro relativo é menor que 5%, fato este que comprova a precisão das expressões obtidas.

O erro numérico é causado pelas condições não consideradas na análise teórica como, por exemplo, o fato de o conversor operar no modo *partial-charge* durante as simulações, enquanto que a análise teórica assumiu o modo *no-charge*.

Tabela 4 – Comparativo de esforços de corrente entre resultados teóricos e simulação

Corrente	Teórico [A]	Simulado [A]	Err. rel. [%]
$\bar{I}_{sA,j}$	3,716	3,55	4,676
$I_{s1,ef}$	9,544	9,85	3,107
$\bar{I}_{D1,A}$	1,563	1,540	1,494
$I_{D1,A,ef}$	3,265	3,350	2,537
$\bar{I}_{D2,A}$	1,563	1,624	3,756
$I_{D2,A,ef}$	5,144	5,390	4,564
$\bar{I}_{D3,A}$	1,563	1,550	0,839
$I_{D3,A,ef}$	3,265	3,374	3,231
$I_{C1,A,ef}$	3,046	3,462	12,01
$I_{C2,A,ef}$	3,046	2,890	5,340
$I_{C3,A,ef}$	6,093	6,358	4,168

5.4 RESULTADOS EXPERIMENTAIS

Esta seção se destina a apresentação dos resultados experimentais obtidos em laboratório. Para isso, foi construído um protótipo com as especificações contidas nas Tabelas 2 e 3.

A construção real desse tipo de estrutura deve visar à redução de indutâncias parasitas. Essa precaução é consequência das indutâncias

alterarem o funcionamento do conversor, transformando a comutação de dois capacitores em um estágio ressonante.

Uma variável que interfere nos elementos parasitas é a escolha da tecnologia dos capacitores de comutação. Para este trabalho foram empregados capacitores de polipropileno, por estes apresentarem reduzida indutância intrínseca que, por consequência, permitem a comutação em alta frequência.

Embora as resistências parasitas auxiliem na comutação de capacitores, limitando os picos de correntes, estas não podem ser demasiadamente altas a ponto de exceder perdas por efeito Joule. O elemento que mais contribui no fornecimento de resistência intrínseca é o semiconductor MOSFET. Este, dependendo da tecnologia, possui resistências que podem chegar à ordem de milésimos de ohms. Esta resistência, junto com o valor de capacitância e resistências dos demais elementos, deve ser suficiente para atingir ao menos o modo de operação *parcial-charge*. Caso não atinja este modo, deve-se aumentar a capacitância ou incrementar a frequência de comutação.

A Figura 5-15 mostra o diagrama esquemático empregado no protótipo experimental. Para construção do barramento de saída foram empregados capacitores eletrolíticos, pois para esse estágio é necessário elevada capacitância, a fim de reduzir a ondulação de 120 Hz presente em conversores PFC monofásicos. Em paralelo com estes capacitores foram colocados resistores de equilíbrio de tensão.

A partir do diagrama da Figura 5-15 foi construído um protótipo experimental com a finalidade de validar os conceitos teóricos. Está apresentada na Figura 5-16 a imagem do protótipo construído em laboratório. Trata-se de um protótipo trifásico, onde para validação dos resultados monofásicos foi utilizada somente uma célula. Na imagem, estão representados alguns dos itens que compõem o conversor como indutores, capacitores, DSP e etc. Já na Figura 5-17 é mostrada a vista frontal do protótipo, onde alguns dos elementos da topologia estão destacados.

Para o comando e controle do conversor foi empregado o DSP TMS320F28335 da empresa Texas Instruments®. Já para sensoramento das correntes e tensões de saída foram utilizados sensores do tipo Hall, a fim de manter o isolamento entre estágio de potência e controle.

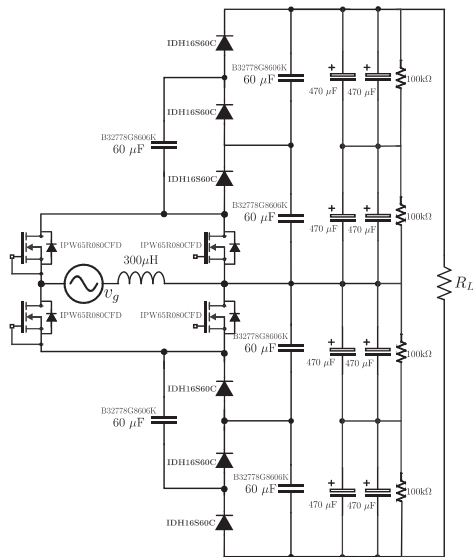


Figura 5-15 – Esquemático empregado no protótipo experimental.

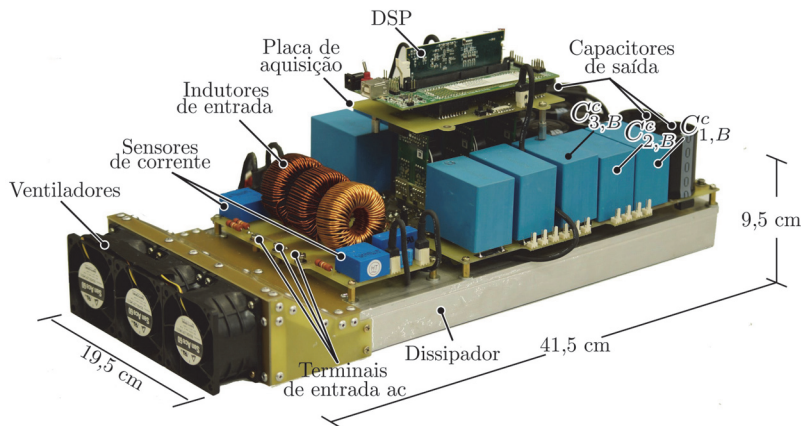


Figura 5-16 – Fotografia do protótipo construído.

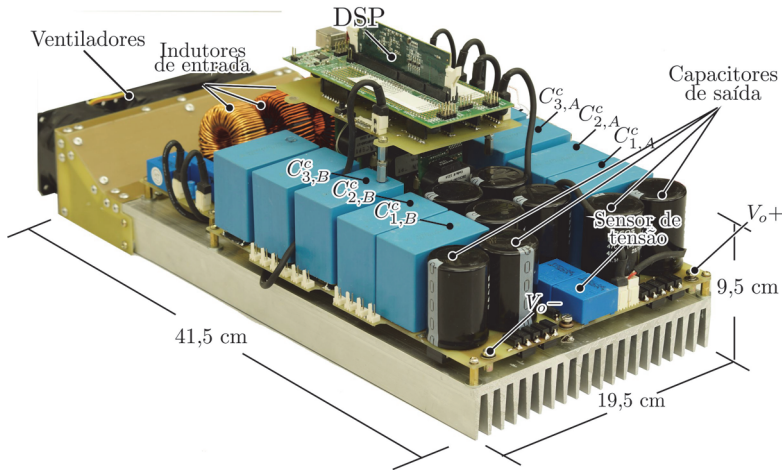


Figura 5-17 – Vista frontal do conversor construído.

O protótipo construído serviu para extração dos resultados experimentais mostrados a seguir.

A Figura 5-18 apresenta os resultados experimentais da: tensão e corrente de entrada (canal 2 e 4) e tensões sobre os capacitores de saída $C_{o,A}$ e $C_{o,B}$ (canal 1 e 3). As formas de ondas foram obtidas com o conversor operando em regime permanente e com potência nominal. Pode-se concluir, a partir da imagem, que o conversor mantém as tensões parciais de saídas controladas com a metade da tensão de saída. Ainda na mesma imagem, pode-se observar a corrente de entrada com formato senoidal e em fase com a tensão de entrada, caracterizando a operação com alto fator de potência.

As ondulações nas tensões parciais de saída são oriundas das oscilações na potência instantânea presentes em qualquer conversor monofásico com PFC. A Figura 5-19 apresenta o mesmo resultado experimental com exceção da presença da tensão comutada pelo conversor v_{ao} . Pode-se comprovar que o conversor consegue impor os três níveis de tensão em seus terminais, correspondentes a $+V_o/4$, 0 e $-V_o/4$.

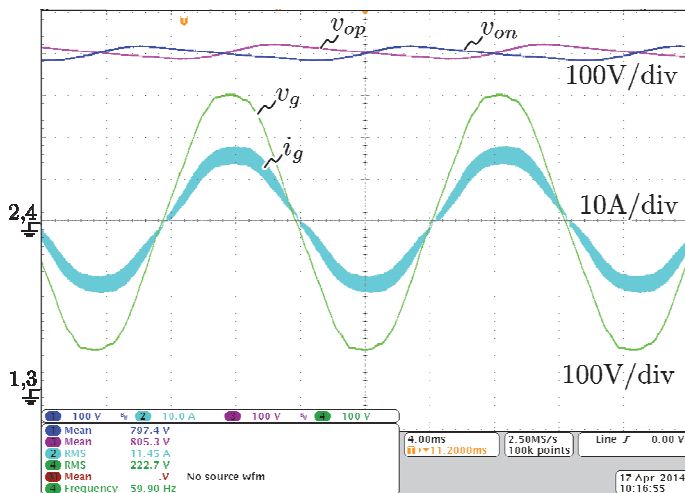


Figura 5-18 – Resultados experimentais: tensão e corrente na rede elétrica (canal 2 e 4); tensões sobre os capacitores parciais de saída $C_{o,A}$ e $C_{o,B}$ (canal 1 e 3).

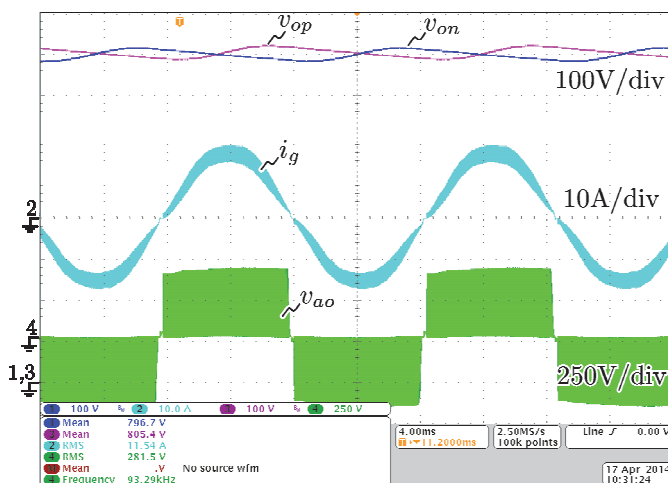


Figura 5-19 – Resultados experimentais: tensões sobre os capacitores parciais de saída $C_{o,A}$ e $C_{o,B}$ (canal 1 e 3); corrente de entrada (canal 2) e tensão comutada pelo conversor v_{ao} (canal 4).

Da mesma forma, na Figura 5-20 são apresentadas as formas de onda do conversor operando em regime permanente. Particularmente nesta imagem é apresentado o comportamento da corrente no interruptor $S_{1,A}$. Com exceção das oscilações de baixa frequência, a corrente possui comportamento semelhante ao resultado de simulação apresentado na Figura 5-14. Essas oscilações são consequência das limitações de largura de banda da sonda de corrente utilizada no ensaio. Para medição da corrente foi utilizado uma sonda do tipo Rogowski, modelo CWT015 PEM. Esse modelo em específico apresenta uma banda inferior de 116 Hz. Essa característica faz com que se atenuem componentes de baixa frequência, provocando oscilações na aquisição. Portanto, a título de análise essas oscilações presentes na corrente no interruptor podem ser ignoradas.

A Figura 5-21 apresenta as formas de onda sobre os capacitores $C_{j,k}$, $j \in \{1, 2\}$, $k \in \{A, B\}$. Pode-se observar que as tensões estão equilibradas e em torno de 400 V. Cabe salientar que não há controle ativo sobre a tensão de cada capacitor. Portanto, as tensões sobre os capacitores possuem um mecanismo de auto-regulação, caracterizando uma vantagem, já que há uma necessidade reduzida de sensores.

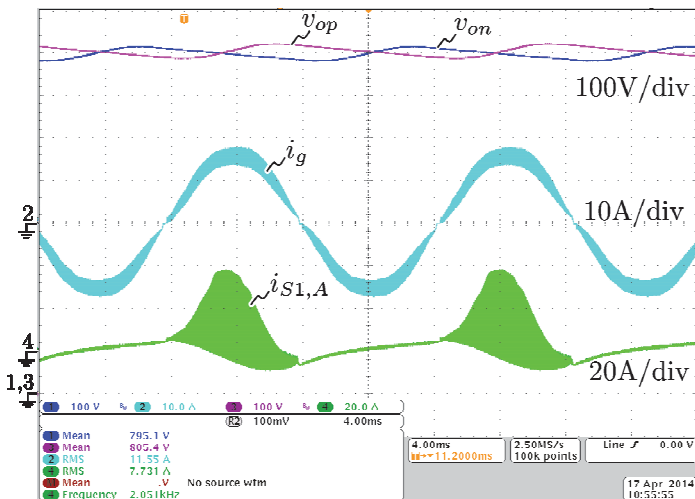


Figura 5-20 – Resultados experimentais: tensões sobre os capacitores parciais de saída $C_{o,A}$ e $C_{o,B}$ (canal 1 e 3); corrente de entrada (canal 2) e corrente no interruptor $S_{1,A}$.

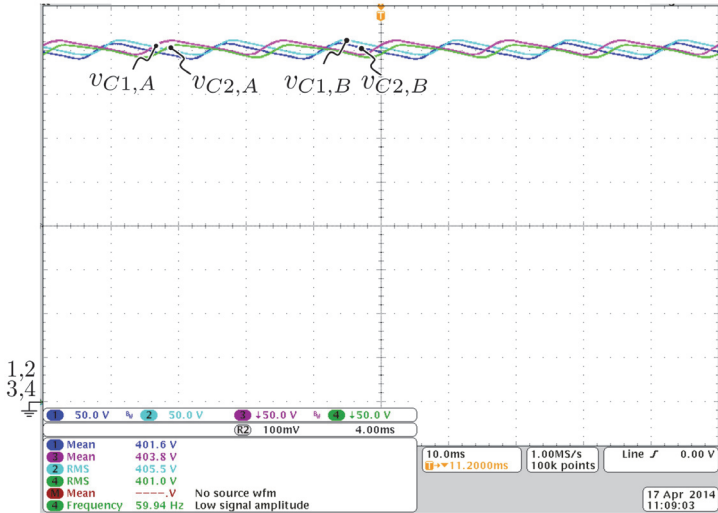


Figura 5-21 – Formas de onda das tensões sobre os capacitores $C_{j,k}$, $j \in \{1, 2\}$, $k \in \{A, B\}$.

Após apresentar os resultados experimentais com o conversor operando em regime permanente, testes com o conversor operando sob regime transitório foram obtidos. Esses testes visam observar o comportamento das variáveis do conversor sob efeitos transitórios. Durante os ensaios o conversor era mantido em regime permanente, e durante um determinado instante de tempo um degrau na resistência de carga era aplicado. Os resultados do comportamento das tensões parciais de saída v_{op} e v_{on} ; tensão de saída v_o ; corrente de entrada i_g e tensão de entrada v_g podem ser observados na Figura 5-22. Nessa imagem pode-se observar que, após a variação de carga, as tensões de saída retornam para seus respectivos valores nominais, mostrando que o controle opera de forma satisfatória. Mesmo durante o transitório as tensões parciais de saída v_{op} e v_{on} não se distanciam em valores absolutos. Isto é resultado da ação da malha de equilíbrio das tensões de saída. Um detalhe do referido transitório pode ser visto na Figura 5-23.

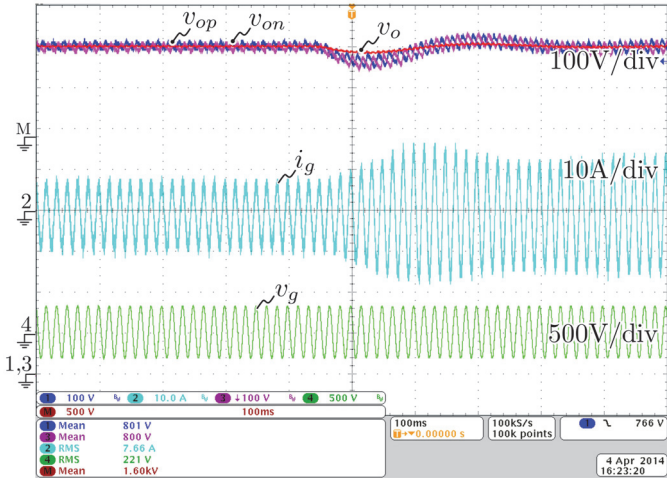


Figura 5-22 – Resultados experimentais: tensões parciais de saída v_{op} e v_{on} ; corrente de entrada i_g e tensão de entrada v_g .

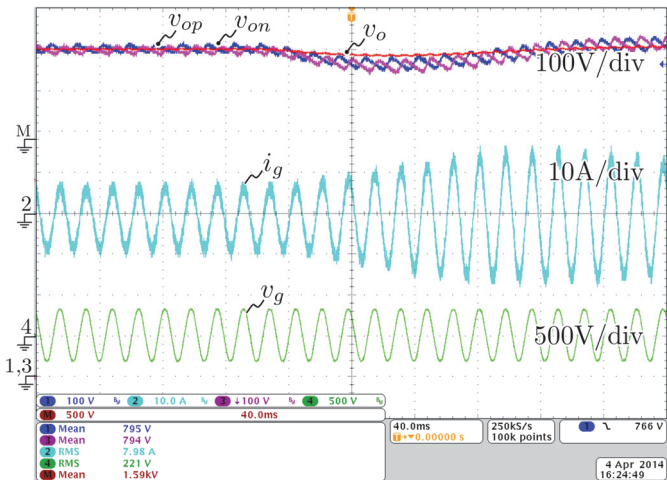


Figura 5-23 – Detalhe do transitório de carga da Figura 5-22.

Por fim, o comportamento das tensões sobre os capacitores $C_{j,A}$, $j \in \{1, 2, 3\}$ para um degrau na resistência de carga é apresentado na

Figura 5-24. Nessa, pode-se observar que as tensões se mantêm próximas ao valor nominal, mesmo durante o distúrbio na carga.

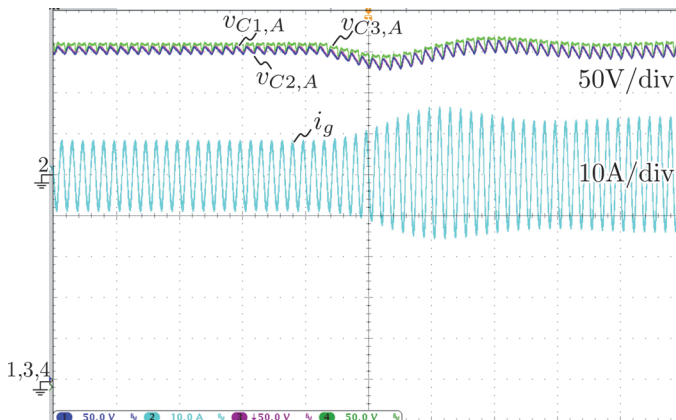


Figura 5-24 – Comportamentos das tensões sobre os capacitores $C_{j,A}$ diante de um degrau na resistência de carga.

A Figura 5-25 apresenta o espectro harmônico da corrente de entrada em percentual da componente fundamental para carga nominal. Observa-se que a maior amplitude situa-se próximo aos 2% da amplitude da componente fundamental da corrente de entrada. Como consequência, obteve-se uma taxa de distorção harmônica de 2,51%, o que comprova o que já foi constatado visualmente nos resultados experimentais, ou seja, a excelente qualidade da corrente promovida pelo conversor proposto.

A Figura 5-26 ilustra o comportamento da taxa de distorção harmônica total THD em função da potência de saída do conversor. Assim como nos conversores PFC convencionais a THD decresce com o aumento da potência, atingindo o mínimo na potência nominal.

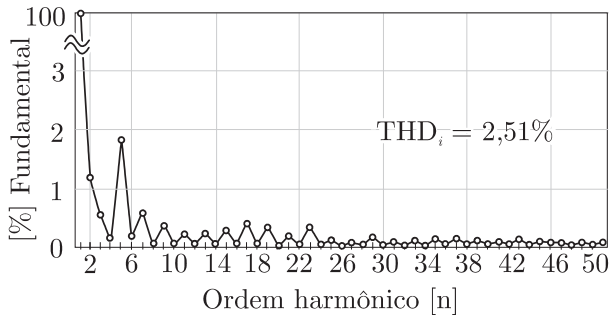


Figura 5-25 – Espectro harmônico da corrente de entrada em percentual da componente fundamental para potência nominal.

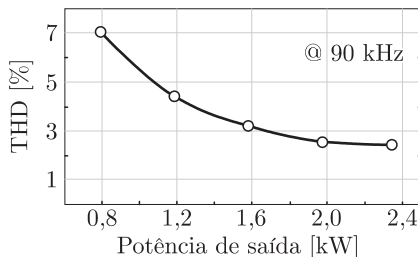


Figura 5-26 – Comportamento da taxa de distorção harmônica em função da potência de saída do conversor proposto.

Com o intuito de avaliar o desempenho do conversor foram realizados ensaios de rendimento para várias frequências de comutação. Para tal finalidade, foi variada a frequência de comutação desde 50 kHz até a frequência de 90 kHz. As curvas podem ser visualizadas na Figura 5-27. Observa-se que para o intervalo de frequências considerado, o maior rendimento ocorre para menor frequência. Outro aspecto importante é que o rendimento está acima de 96% para uma ampla faixa de carga, independente da frequência de comutação (assumindo a faixa de frequência considerada nos testes). O fato de o conversor apresentar rendimento elevado mesmo para pequenos valores de potências comprova as baixas perdas de comutação da topologia.

O limite inferior de frequência (50 kHz) ficou restringido a ondulação de corrente no indutor de entrada. Verificou-se que para

frequências menores o conversor passava a operar em modo de condução descontínua, próximo das passagens por zero, o que não foi considerado em nenhum momento na análise matemática deste trabalho. Portanto, embora o rendimento possa ser maior para frequências inferiores a 50 kHz estas não foram testadas devido à alteração no modo de condução do conversor. Contudo, constata-se as baixas perdas que a solução proposta oferece.

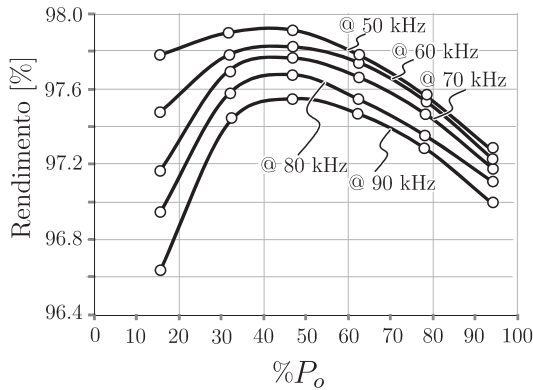


Figura 5-27 – Curvas de rendimento em função da potência de saída para várias frequências.

5.5 RESUMO SOBRE O CAPÍTULO

Este capítulo se destinou a modelagem, simulação e experimentação de um dos conversores propostos. Durante a modelagem objetivou-se a procura de modelos matemáticos que permitam projetar os controladores e prever a estabilidade das estruturas. Adicionalmente, neste capítulo foi apresentado um detalhado estudo da distribuição das perdas no conversor Tipo I. Mostrou-se que a estrutura apresenta elevação do rendimento para frequências de comutação reduzidas. Também, constatou-se que, idealmente, as maiores perdas se concentram na comutação dos MOSFETs, seguido pelas perdas de condução destes. Outro aspecto

interessante constatado é que as menores perdas ocorrem para índices de modulação próximos ao da especificação de projeto, $M = 0,77$.

Por meio de uma especificação de projeto, foi possível apresentar os resultados de simulação e experimentais. Nestes, foram constatadas as funcionalidades de uma das soluções propostas. A operação pode ser verificada por meio da forma de onda da corrente da entrada i_g e também pelo espectro harmônico e THD. A curva de rendimento apresentada mostra que as soluções propostas podem apresentar baixas perdas e por consequência, alto rendimento.

Capítulo 6

Retificadores trifásicos híbridos a capacitor chaveado

DURANTE os capítulos anteriores foi dada ênfase ao estudo dos conversores híbridos a capacitor chaveado monofásicos. Esse estudo é a base para o entendimento dos conversores trifásicos híbridos a capacitor chaveado a serem apresentados a seguir.

Neste capítulo serão apresentadas as estruturas dos retificadores trifásicos híbridos a capacitor chaveado propostos. A partir do desenvolvimento das topologias serão feitas extensões com base nos conversores monofásicos. Dos seis conversores propostos, será escolhido um para descrição das etapas de operação e princípio de funcionamento, modulador PWM e descrição dos esforços de corrente. Contudo, outras análises são válidas para os outros retificadores como, por exemplo, estratégia de controle e modelagem das plantas de tensão e corrente.

6.1 RETIFICADOR TRIFÁSICO HÍBRIDO A CAPACITOR CHAVEADO TIPO I

Uma das formas para a “criação” de um conversor trifásico é estender uma determinada topologia monofásica em três células. Usando essa ideia, pode-se usar o conversor monofásico, por exemplo, Tipo I, para obter um equivalente trifásico. Com base nisso, é apresentado na Figura 6-1 o primeiro conversor extraído da família proposta. Observa-se que as células têm em comum a conexão com os terminais do barramento cc e o ponto médio o .

Essa maneira de “obter” um conversor trifásico, a partir de células monofásicas, no caso específico dos conversores proposto desta tese, acarreta em um conversor funcional, contudo, volumoso e custoso, devido à presença de um grande número de capacitores, total de 20. Isso faz com que se tenha pouco apelo prático, já que as soluções que são propostas na literatura visam à redução de custo e volume.

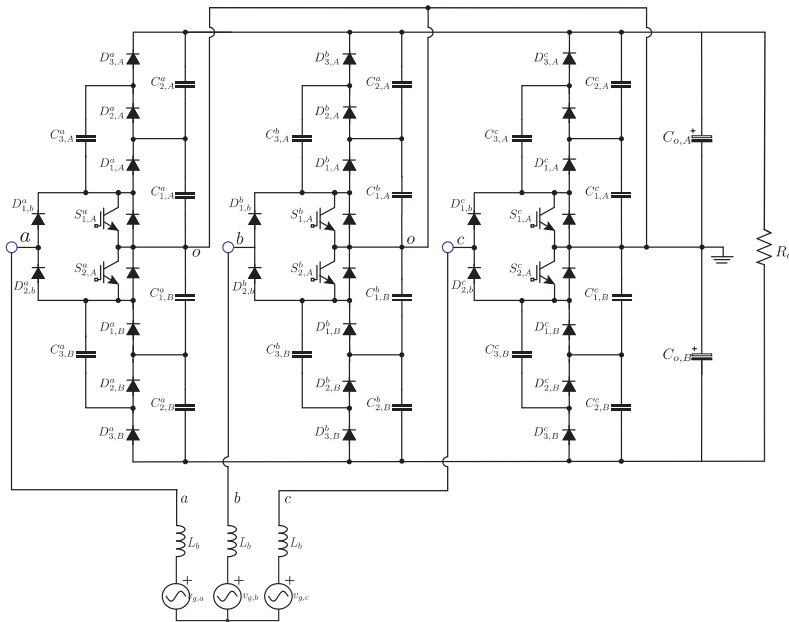


Figura 6-1 – Retificador trifásico híbrido a capacitor chaveado tipo I.

Felizmente, podem ser feitas otimizações no número de componentes da topologia da Figura 6-1, resultando em um conversor mais econômico e interessante do ponto de vista prático.

6.2 REDUÇÃO DO NÚMERO DE CAPACITORES

Analisando a topologia da Figura 6-1, observa-se, por exemplo, que na fase A o capacitor $C_{3,A}^a$ sempre comuta com os capacitores $C_{1,A}^a$, que está conectado ao ponto médio, e $C_{2,A}^a$, que está conectado ao

barramento positivo. Fazendo uma alteração no circuito, pode-se fazer com que o capacitor $C_{3,A}^a$ comute com os capacitores $C_{1,A}^c$ e $C_{2,A}^c$, referentes à fase C, sem haver qualquer prejuízo para o funcionamento do conversor. Essa mesma ideia pode também ser estendida para os demais capacitores do circuito, resultando no conversor ilustrado na Figura 6-2. Com essa solução é possível retirar oito capacitores da topologia original, sem afetar significativamente o funcionamento.

Por simplicidade, na Figura 6-2 não estão representados nem a carga, fonte de entrada e indutores. Contudo, ficam subtendidos a sua existência.

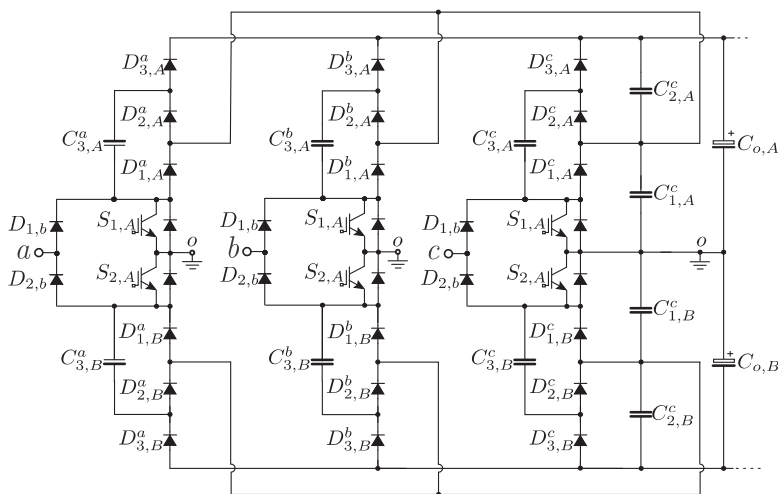


Figura 6-2 – Retificador trifásico híbrido a capacitor chaveado tipo I com redução do número de capacitores.

A redução do número de capacitores tem como consequência a possibilidade de haver até dois capacitores comutando ao mesmo tempo como um determinado capacitor da fase C. Por exemplo, para o estado topológico onde os interruptores $S_{1,A}^a$ e $S_{1,A}^b$ estão ativos e $S_{1,a}^c$ está bloqueado, faz com que os capacitores $C_{3,A}^a$ e $C_{3,A}^b$ comutem ao mesmo tempo com o capacitor $C_{1,A}^c$.

A conexão do conversor com a rede elétrica é feita através de três indutores, não representado na figura.

6.3 CONVERSORES PROPOSTOS

Por meio da extensão do conversor Tipo I monofásico para o conversor Tipo I trifásico é possível a geração das demais topologias. Com base nisso, na Figura 6-3 são apresentados os conversores trifásicos Tipo I (a); Tipo II (b) e Tipo III. Já na Figura 6-4 os retificadores trifásicos Tipo IV (a); Tipo V e Tipo IV (c) são apresentados.

Os retificadores trifásicos possuem características externas semelhantes, no que diz respeito aos terminais de entrada e saída. Contudo, cada topologia apresenta diferença nas etapas de operação e distribuição de perdas nos semicondutores. Os seis retificadores trifásicos podem ser divididos em dois grupos.

Nas Figura 6-3 e Figura 6-4 não estão representados os indutores de entrada nem a rede elétrica, contudo, supõem-se a existência destes. Os indutores são conectados aos terminais a , b e c . Não há conexão entre o ponto neutro da rede elétrica e o ponto central dos capacitores de saída.

Como já dito, todos os retificadores apresentam a mesma característica do ponto de vista dos terminais de entrada, pois todos impõem três níveis de tensão nos seus respectivos terminais comutados. No entanto, cada topologia difere na subcélula central, onde estão concentrados os interruptores comandados. Cada topologia pode apresentar mais ou menos semicondutores em série no caminho da corrente, resultando em diferenças com relação ao rendimento da estrutura.

Assim como realizado para os conversores monofásicos, a análise dos conversores trifásicos em regime permanente se concentrará em uma topologia específica. O estudo se dará de tal forma que a extensão para as demais topologias ocorra de maneira intuitiva, e por isso a descrição estática dos demais retificadores não será apresentada neste trabalho.

Com base no que foi exposto, o conversor trifásico Tipo I será escolhido para análise em regime permanente.

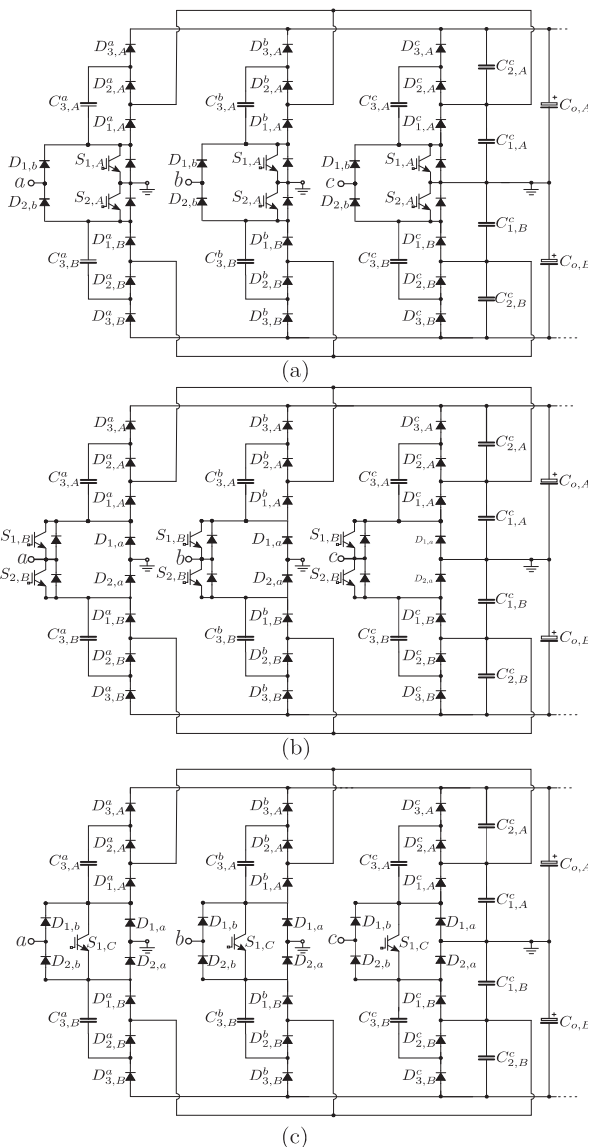


Figura 6-3 – Retificadores trifásicos propostos: (a) Tipo I; (b) Tipo II; (c) Tipo II.

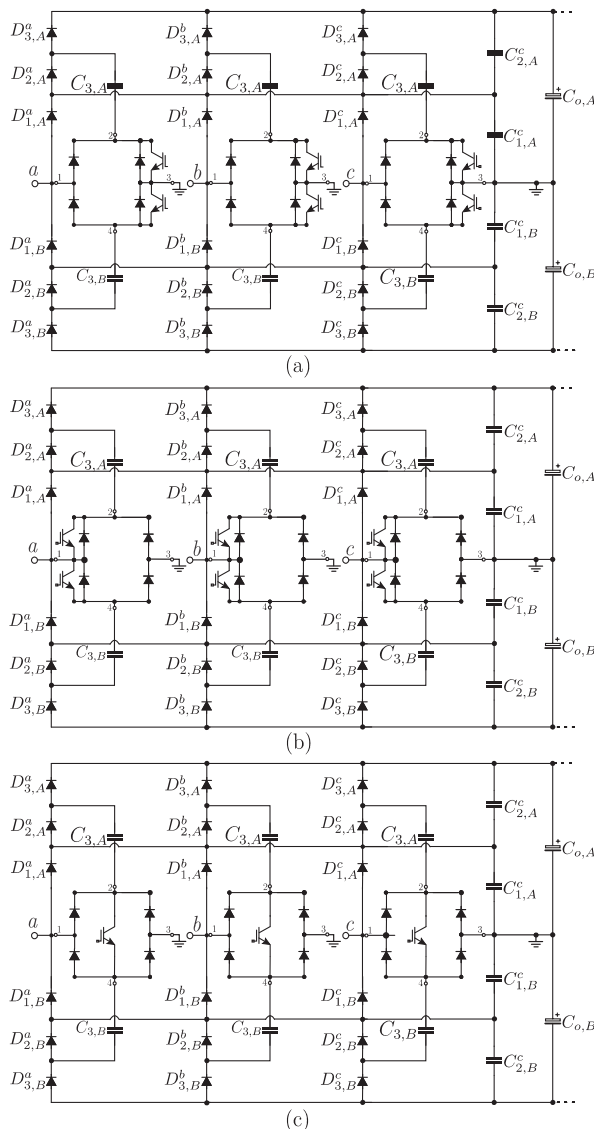


Figura 6-4 - Retificadores trifásicos propostos: (a) Tipo IV; (b) Tipo V; (c) Tipo VI.

6.4 ESTADOS TOPOLÓGICOS E REPRESENTAÇÃO VETORIAL

A descrição dos estados topológicos se dará por meio de uma representação vetorial das tensões impostas nos terminais do conversor. Para isso, será suposto que as correntes estão perfeitamente em fase com as tensões geradas pelo conversor. Essa consideração se deve ao fato das tensões comutadas dependerem do sentido da corrente e, portanto, não vinculadas integralmente ao estado de comutação dos interruptores comandados.

Como se trata de um conversor de três níveis há inúmeras configurações topológicas que levam ao mesmo vetor resultante de tensão. Com o intuito de poupar esforços, serão descritos os estados topológicos referentes a uma janela de tempo hipotética das correntes de entrada, conforme ilustra a Figura 6-5. Serão analisados os estados topológicos quando o vetor de corrente \vec{i}_{abc} corresponder as componentes $i_{g,a} > 0$, $i_{g,b} < 0$ e $i_{g,c} < 0$, onde $i_{g,c} > i_{g,b}$.

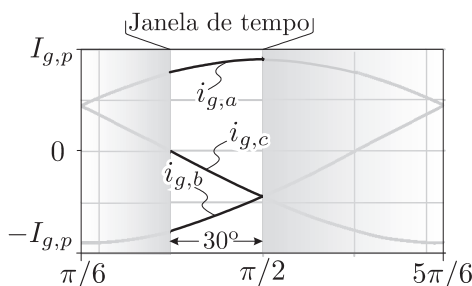


Figura 6-5 – Janela de tempo das correntes considerada na análise das etapas e operação do conversor proposto.

As tensões da rede elétrica são definidas como

$$\begin{cases} v_{g,a} = V_{g,p} \cdot \sin(\omega t) \\ v_{g,b} = V_{g,p} \cdot \sin\left(\omega t - \frac{2\pi}{3}\right), \\ v_{g,c} = V_{g,p} \cdot \sin\left(\omega t + \frac{2\pi}{3}\right) \end{cases} \quad (6.1)$$

onde $V_{g,p}$ representa o pico das tensões da rede elétrica.

A topologia trifásica pode colocar até três níveis de tensão nos terminais a , b , c , em relação ao ponto médio o , sendo que estas tensões

dependem do sentido das correntes. Deste modo, as tensões sintetizadas pelo conversor, em relação ao ponto o , podem ser definidas como

$$\begin{cases} v_{ao} = \frac{V_o}{4} \cdot \text{sign}(i_{g,a}) (1 - s_a) \\ v_{bo} = \frac{V_o}{4} \cdot \text{sign}(i_{g,b}) (1 - s_b), \\ v_{co} = \frac{V_o}{4} \cdot \text{sign}(i_{g,c}) (1 - s_c) \end{cases} \quad (6.2)$$

onde

$$s_k = \begin{cases} 1, & \text{interruptor comandado} \\ 0, & \text{interruptor bloqueado} \end{cases}, k \in \{a, b, c\}, \quad (6.3)$$

e $\text{sign}()$ representa a função sinal das correntes de entrada.

O vetor de tensão resultante é dado por

$$V^* = \frac{1}{4} M \cdot V_o e^{j\omega t} \quad (6.4)$$

As tensões comutadas pelo conversor podem ser representadas em um plano complexo dado pela equação (6.5).

$$\vec{v}^* = v_{ao} + v_{bo} e^{j\frac{2\pi}{3}} + v_{co} e^{j\frac{4\pi}{3}} \quad (6.5)$$

onde j corresponde ao operador complexo.

A definição das tensões terminais do conversor na equação (6.2) sugere a representação gráfica ilustrada na Figura 6-6 [12, 65]. Nessa representação as tensões nos terminais comutados, em relação ao ponto o , são descritas por uma projeção unidimensional.

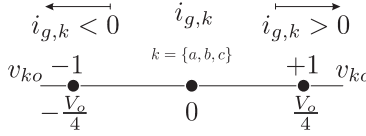


Figura 6-6 – Diagrama unidimensional das tensões terminais do conversor trifásico.

Tendo em vista que no espaço vetorial as demais correntes de fase são ortogonais, pode-se então se estender o diagrama da Figura 6-6 em uma representação tridimensional. Tal representação será ilustrada posteriormente.

Antes de dar início a representação dos estados topológicos, deve-se fazer algumas considerações a respeito do funcionamento do conversor.

- As tensões sobre os capacitores são assumidas constantes e com valor médio correspondente à $\frac{V_o}{4}$.
- As correntes de entradas são isentas de harmônicas de alta frequência.
- Os semicondutores são assumidos ideais.

Adicionalmente, a tensão sobre os capacitores $C_{1,k}^c$, $k = A, B$, durante a comutação do interruptor $S_{1,k}^j$, $j = \{a, b, c\}$, deve ser levemente superior aos capacitores $C_{3,k}^j$, de tal forma que os diodos $D_{2,k}^j$ sempre entrem em condução com a comutação do interruptor $S_{1,k}^j$.

Portanto, com base na janela de tempo das correntes de entrada considerada, o primeiro estado topológico é apresentado na Figura 6-7. Nesta situação, há o armazenamento de energia do indutor da fase A e também a transferência de carga do capacitor $C_{1,A}^c$ para o capacitor $C_{3,A}^a$, por intermédio do diodo $D_{2,A}^a$. Ao mesmo tempo, a fase C transfere energia para carga. Observa-se a comutação dos capacitores $C_{3,A}^a$ e $C_{3,A}^b$ com o capacitor $C_{1,A}^c$. As tensões sobre os terminais comutados, com respeito ao ponto médio dos capacitores de saída, são dadas por

$$\begin{cases} v_{ao} = 0 \\ v_{bo} = 0 \\ v_{co} = 0 \end{cases} \quad (6.6)$$

Esse estado topológico será mapeado com as seguintes coordenadas $(0, 0, 0)$. Substituindo a equação (6.6) em (6.5), obtém-se

$$\bar{V}_o = 0. \quad (6.7)$$

A equação (6.7) corresponde a uma das combinações que levam ao vetor nulo imposto pelo conversor.

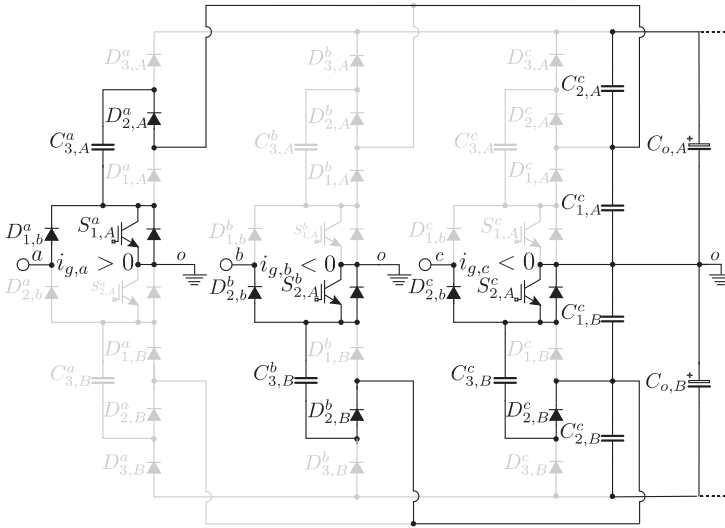


Figura 6-7 – Estado topológico $\bar{V}_0 = (0, 0, 0)$.

Já a Figura 6-8 mostra a etapa de operação para condição onde as tensões terminais de entrada são respectivamente ($v_{ao} = 0$, $v_{bo} = -\frac{V_o}{4}$, $v_{co} = 0$). Nessa etapa ocorre a transferência de energia no indutor da fase B, enquanto que nas fases A e C ocorre o armazenamento de energia. Nesse período os capacitores $C_{3,A}^a$ e $C_{3,B}^a$ são forçados ao mesmo potencial com os capacitores $C_{1,A}^c$ e $C_{1,B}^c$, respectivamente. Os capacitores $C_{o,A}$ e $C_{o,B}$ ficam sempre conectados à carga. Esse estado topológico será chamado de \bar{V}_1 e seu mapeamento no plano complexo é dado por

$$\bar{V}_1 = 0 - \frac{V_o}{4} e^{j\frac{2\pi}{3}} + 0 \cdot e^{j\frac{4\pi}{3}} = \frac{V_o}{8} - j\frac{\sqrt{3}}{8} V_o. \quad (6.8)$$

Com o intuito de poupar esforços, os demais estados topológicos, compreendidos pela janela de tempo ilustrada na Figura 6-5, são apresentados nas Figura 6-9 até a Figura 6-12.

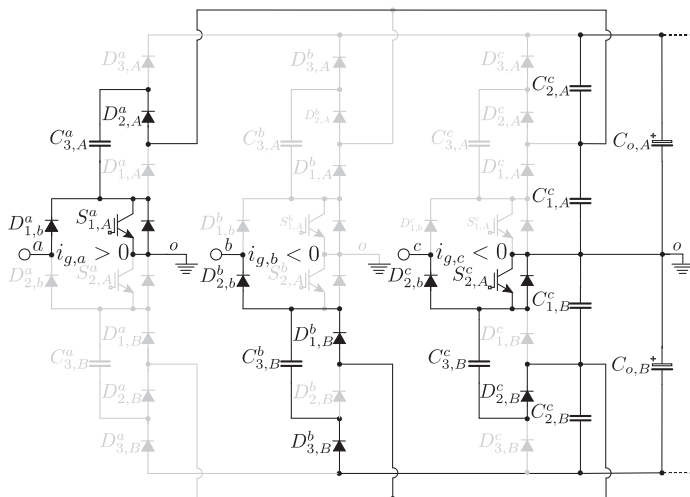


Figura 6-8 – Estado topológico $\bar{V}_1 = (0, -1, 0)$.

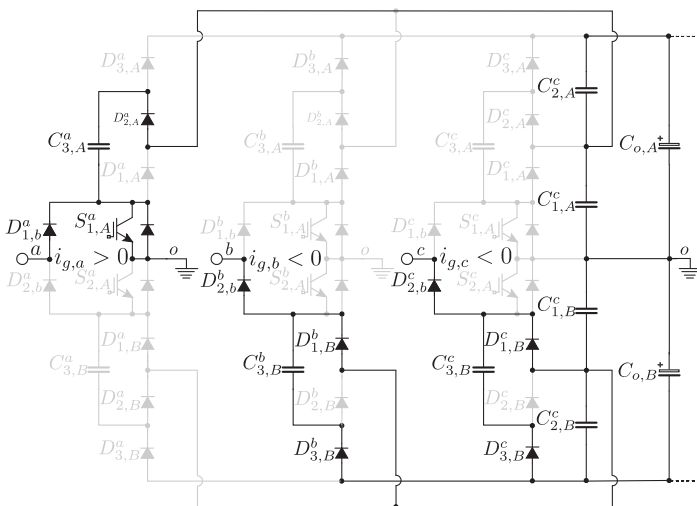


Figura 6-9 – Estado topológico $\bar{V}_2 = (0, -1, -1)$.

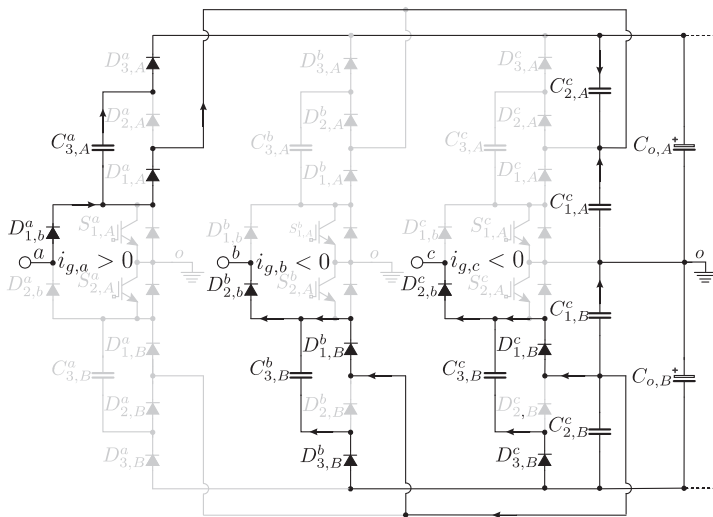


Figura 6-10 – Estado topológico $\bar{V}_3 = (1, -1, -1)$.

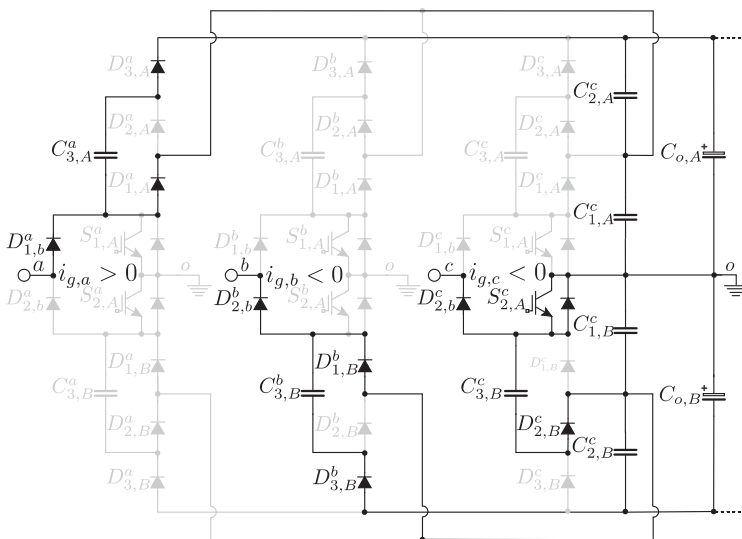


Figura 6-11 – Estado topológico $\bar{V}_4 = (1, -1, 0)$.

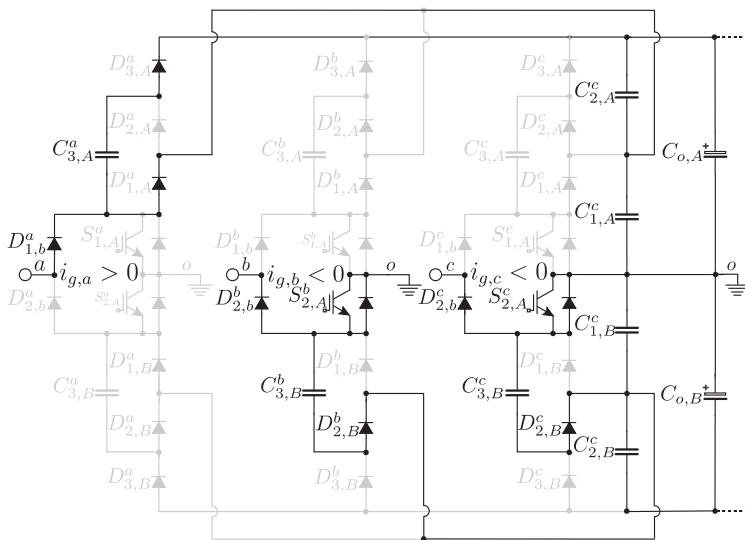


Figura 6-12 – Estado topológico $\bar{V}_5 = (1, 0, 0)$.

Os estados topológicos apresentados anteriormente podem ser colocados em forma de tabela, a fim organizar e deixar mais claro o entendimento. Diante disso, na Tabela 5 são apresentados os estados de comutação para os estados topológicos, válidos para a janela de tempo da Figura 6-5.

Tabela 5 – Mapeamento dos vetores correspondentes aos estados topológicos.

Vetor	$i_{g,a}$	$i_{g,b}$	$i_{g,c}$	$S_{1,A}^a$	$S_{1,A}^b$	$S_{1,A}^c$	$S_{2,A}^a$	$S_{2,A}^b$	$S_{2,A}^c$	v_{ao}	v_{bo}	v_{co}	\bar{v}^*
\bar{V}_0	+	—	—	1	0	0	0	1	1	0	0	0	(0,0,0)
\bar{V}_1	+	—	—	1	0	0	0	0	1	0	$\frac{-V_o}{4}$	0	(0,-1,0)
\bar{V}_2	+	—	—	1	0	0	0	0	0	0	$\frac{-V_o}{4}$	$\frac{-V_o}{4}$	(0,-1,-1)
\bar{V}_3	+	—	—	0	0	0	0	0	0	$\frac{+V_o}{4}$	$\frac{-V_o}{4}$	$\frac{-V_o}{4}$	(1,-1,-1)
\bar{V}_4	+	—	—	0	0	0	0	0	1	$\frac{+V_o}{4}$	$\frac{-V_o}{4}$	0	(1,-1,0)
\bar{V}_5	+	—	—	0	0	0	0	1	1	$\frac{+V_o}{4}$	0	0	(1,0,0)
\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots

A Tabela 5 pode ser estendida para os demais estados topológicos. Contabilizando todos os vetores possíveis para o conversor três-níveis,

pode-se representá-los por meio de um cubo tridimensional no espaço, como ilustrado na Figura 6-13 (a). Nota-se que o cubo fica centrado nos vetores nulos, considerados como origem. Se for feita a projeção destes vetores em um plano ortogonal ao eixo γ , obtém-se a representação bidimensional, plano $\alpha\beta$, conforme ilustrado na Figura 6-13 (b). Observa-se que a projeção gera um hexágono. Adicionalmente, em ambas a Figura 6-13 (a) e (b) observa-se que os estados topológicos apresentados neste capítulo estão representados por esferas e círculos escuros, enquanto que os demais estão em coloração cinza. Outro aspecto reside no fato da Figura 6-13 (a) ilustrar os vetores extremos do eixo γ $(-1,-1,-1)$ e $(1,1,1)$. Devido ao fato dos vetores serem função do sentido das correntes não há possibilidade do conversor impor instantaneamente as tensões $(\vec{V}^* = \frac{V_o}{4}, \frac{V_o}{4}, \frac{V_o}{4})$ ou $(\vec{V}^* = \frac{-V_o}{4}, \frac{-V_o}{4}, \frac{-V_o}{4})$. Portanto, somente o vetor $(0,0,0)$ é considerado válido.

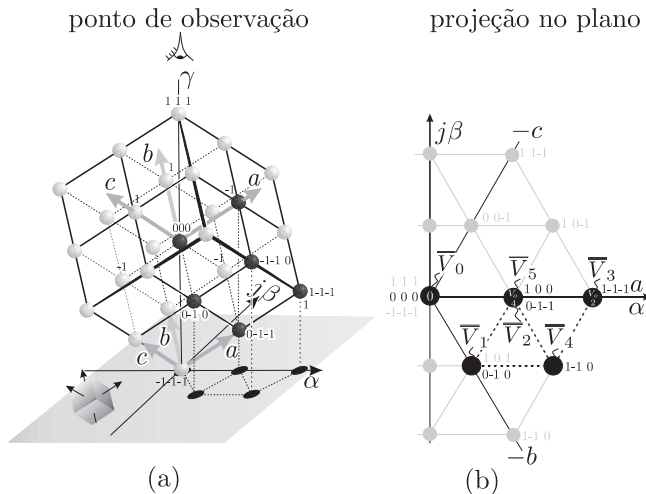


Figura 6-13 – Mapa de vetores do conversor trifásico três-níveis proposto.

O mapeamento dos vetores no plano $\alpha\beta$ é a base para o emprego de modulações vetoriais. Estas são amplamente empregadas em retificadores trifásicos, onde podem-se obter diversas vantagens frente à modulação senoidal convencional. Contudo, o estudo de técnicas de modulação vetorial não será abordado neste trabalho, ficando como alvo de pesquisas futuras.

6.5 DESCRIÇÃO DO MODULADOR PWM

O comando dos interruptores é regido por meio de um sinal modulador, o qual é fruto de uma lei de controle. Cada interruptor opera durante meio ciclo. Por exemplo, para o interruptor $S_{1,A}^a$ a função de modulação é definida como

$$\begin{cases} 1 - \frac{4 \cdot V_{g,p}}{V_o} \text{sen}(\omega t), & \text{se } i_{g,a} > 0 \\ 0, & \text{se } i_{g,a} < 0 \end{cases} \quad (6.9)$$

Já para o interruptor complementar $S_{2,A}^a$ a função torna-se

$$\begin{cases} 0, & \text{se } i_{g,a} > 0 \\ 1 - \frac{4 \cdot V_{g,p}}{V_o} \text{sen}(\omega t), & \text{se } i_{g,a} < 0 \end{cases} \quad (6.10)$$

A Figura 6-14 exhibe o funcionamento do modulador PWM que comanda os interruptores $S_{1,A}^a$ e $S_{2,A}^a$. O modulador basicamente consiste na comparação de uma função modulante com uma portadora triangular de alta frequência. Por meio da comparação geram-se os pulsos de comando para os interruptores.

O modulador para as outras fases é realizado de forma análoga, e por isso não serão representados.

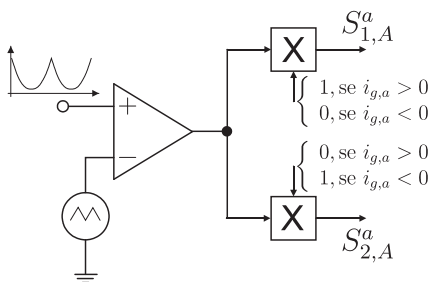


Figura 6-14 – Descrição do modulador PWM referente à fase A do conversor.

6.6 ESFORÇOS DE CORRENTE

Para descrição dos esforços de corrente são assumidas as seguintes considerações: $v_{C1,j}^k > v_{C3,j}^k$ e $v_{C3,j}^k > v_{C2,j}^k$, $j \in \{A, B\}$ $k \in \{a, b, c\}$. Isso significa dizer que, por exemplo, quando o interruptor $S_{1,a}^A$ comutar para o estado de condução, o diodo $D_{2,A}^a$ se polarizará e entrará em condução, permitindo que o capacitor $C_{1,A}^c$ transfira energia para o capacitor $C_{3,A}^a$. Outra situação se dá quando, por exemplo, o interruptor $S_{1,A}^a$ é bloqueado, onde, devido às tensões sobre os capacitores, o diodo $D_{3,A}^a$ é forçado a entrar em condução, permitindo que o capacitor $C_{3,A}^a$ transfira energia para o capacitor $C_{2,A}^c$ e para carga. A mencionada consideração é importante para simplificação das expressões matemáticas.

Diante das considerações anteriores, os esforços de corrente nos semicondutores e capacitores $C_{3,k}^i$, $k \in \{A, B\}$, $i \in \{a, b, c\}$ tornam-se semelhantes ao do conversor monofásico Tipo I. Contudo, os capacitores $C_{j,k}^c$, $j \in \{1, 2\}$, $k \in \{A, B\}$ terão seus esforços de corrente alterados em relação aos retificadores monofásicos. Isso acontece porque esses capacitores comutam com as três fases e sua envoltória de corrente é alterada de forma significativa, conforme pode ser visto na Figura 6-15. Nesta figura, é apresentado um comparativo da corrente no capacitor $C_{1,A}$ para o conversor trifásico (a) para a mesma corrente no conversor monofásico (b). Pode-se observar que as envoltórias de corrente sofrem alterações bastante significativas. Na Figura 6-15 (a) pode-se notar que a envoltória da corrente $i_{C_{1,A}}^c$ está dividida por três setores, subdivididos pelos sinais das razões cíclicas d_a , d_b , d_c . Isso significa que a duração dos tempos de comutação é regida pelo sinal modulador correspondente ao setor.

A envoltória inferior $i_{C_1^c}$ é definida como:

$$i_{C_{1,A}^c} = i_{C1_a} + i_{C1_b} + i_{C1_c} \quad (6.11)$$

onde

$$i_{C1_a} = \begin{cases} -\frac{i_{g,a}}{4} \frac{(1-d_a)}{d_a}, & 0 < \omega t \leq \pi \\ 0, & 0 \leq \omega t < 2\pi \end{cases} \quad (6.12)$$

$$i_{C1_b} = \begin{cases} -\frac{i_{g,b}}{4} \frac{(1-d_b)}{d_b}, & \frac{2\pi}{3} < \omega t \leq \pi \\ 0 & , 0 \leq \omega t < \frac{2\pi}{3} \end{cases} \quad (6.13)$$

$$i_{C1_c} = \begin{cases} -\frac{i_{g,c}}{4} \frac{(1-d_b)}{d_b}, & 0 < \omega t \leq \pi - \frac{2\pi}{3} \\ 0 & , \omega t > \pi - \frac{2\pi}{3} \end{cases}. \quad (6.14)$$

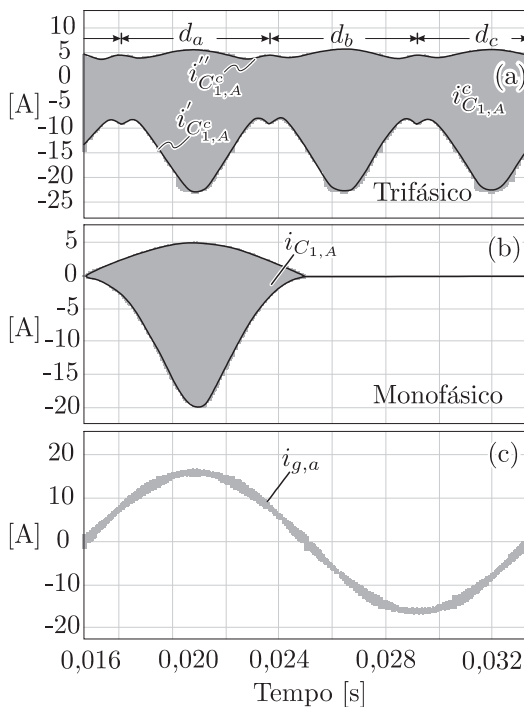


Figura 6-15 – Comparativo da corrente no capacitor $C_{1,A}$: (a) corrente no retificador trifásico; (b) corrente no retificador monofásico; (c) corrente de entrada da fase A.

A envoltória referente à segunda etapa de operação é

$$i''_{C_{1,A}^c} = i'_{C_{1,A}^c} \cdot \left(\frac{d_a}{1 - d_a} \right) \quad (6.15)$$

Como a envoltória é simétrica, ela pode ser calculada no intervalo de $\pi/6$ até $\pi - \pi/6$. Dessa forma a corrente eficaz no capacitor $C_{1,A}^c = C_{1,B}^c$ é calculada como

$$I_{C_{1,k}^c, \text{ef}} = \sqrt{\frac{3}{2\pi} \left(\int_{\pi/6}^{\pi-\pi/6} \left(i_{C_{1,A}^c}'^2 \cdot d_a + i_{C_{1,A}^c}'^2 \cdot (1 - d_a) \right) dt \right)} \quad (6.16)$$

O resultado da equação (6.16) é de difícil solução analítica. Em consequência disso, a Figura 6-16 ilustra o comportamento do valor eficaz normalizado da corrente no capacitor $C_{1,A}^c = C_{1,B}^c$ em função do índice de modulação. Pode-se observar que a corrente cresce expressivamente para índices de modulação muito baixos e também para índices de modulação elevados.

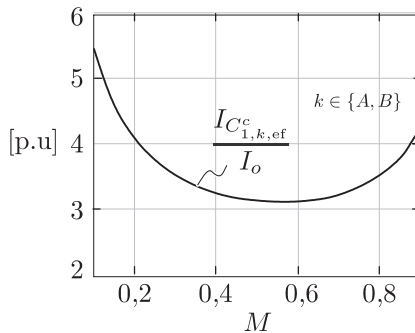


Figura 6-16 – Comportamento da corrente eficaz no capacitor $C_{1,A}^c = C_{1,B}^c$.

6.7 ONDULAÇÃO DE TENSÃO SOBRE OS CAPACITORES DE SAÍDA

A escolha do capacitor de barramento para o caso monofásico se apoiou no critério de ondulação de tensão na frequência de 120 Hz, causada pela oscilação na potência instantânea. No caso dos conversores trifásicos, considerando tanto a tensão de entrada quanto as correntes de entrada senoidais, a oscilação de potência instantânea é nula e, portanto, o critério para os conversores monofásicos não pode ser empregado.

Para os conversores trifásicos, a escolha dos capacitores de saída pode ser determinada pelo método chamado de tempo de sustentação (em inglês *hold-up time*). Este critério se baseia na determinação do valor de capacitância que garante que a tensão de barramento decrescerá a um determinado valor em um determinado intervalo de tempo, diante de uma falha nas tensões de entrada. Em resumo, o capacitor de saída deverá alimentar a carga por um determinado período de tempo, atendendo a uma determinada faixa de tensão de operação. O critério usa a seguinte expressão [65]:

$$C_o = \frac{2 \cdot P_o \cdot t_{hu}}{\left[V_o^2 - (V_o - \Delta V_o)^2 \right]} \quad (6.17)$$

onde t_{hu} é o tempo de sustentação da tensão de saída.

Considerando que a tensão decresça 25% do valor nominal em um ciclo de rede, então chega-se que

$$C_o = \frac{2 \cdot 7500\text{W} \cdot \frac{1}{60}\text{s}}{\left[(1600\text{V})^2 - (1200\text{V})^2 \right]} \approx 235 \mu\text{F}. \quad (6.18)$$

Assumindo que $C_{o,A} = C_{o,B} = 2 \cdot C_o$, então conclui-se que

$$C_{o,A} = C_{o,B} = 470 \mu\text{F}. \quad (6.19)$$

6.8 RESUMO SOBRE O CAPÍTULO

Este capítulo se destinou a apresentação das topologias trifásicas. Foram apresentados os estados topológicos do conversor Tipo I, destacando o mapeamento vetorial das tensões comutadas. Adicionalmente, uma pequena descrição do modulador foi mostrada. Também, uma seção abordando os esforços e cálculo dos capacitores de saída foi apresentado.

Capítulo 7

Modelagem orientada ao controle dos retificadores trifásicos híbridos propostos

O objetivo da modelagem orientada ao controle é obter equações que representem os sistemas físicos diante de uma determinada precisão. A finalidade da modelagem é viabilizar o projeto dos compensadores que irão controlar as correntes de entrada e tensões de saída.

Tendo em mente que, os retificadores apresentados até o momento são complexos do ponto de vista matemático, é indispensável à obtenção de modelos simplificados que os representem diante de certos limites.

Durante o processo de modelagem serão feitas algumas considerações, de tal forma que seja possível simplificar a análise matemática e possibilitem o uso de estratégias convencionais de controle.

7.1 CONTROLE DOS RETIFICADORES TRIFÁSICO

7.1.1 Estratégia de controle

A estratégia de controle para os retificadores trifásicos se assemelha à apresentada para as estruturas monofásicas. Basicamente, o que se quer é o controle das correntes de entrada e regulação das tensões de

saída. Deseja-se que as correntes tenham menor distorção possível e rápida resposta dinâmica, enquanto que as tensões tenham boa regulação diante de variações da carga.

A Figura 7-1 apresenta a estrutura básica da estratégia de controle das correntes de entrada e tensões de saída. Essencialmente, as grandezas a serem controladas são lidas e processadas por uma estratégia de controle particular, tendo como ação de controle as razões cíclicas dos interruptores. A função de cada bloco destacado na figura será analisada em detalhes a seguir.

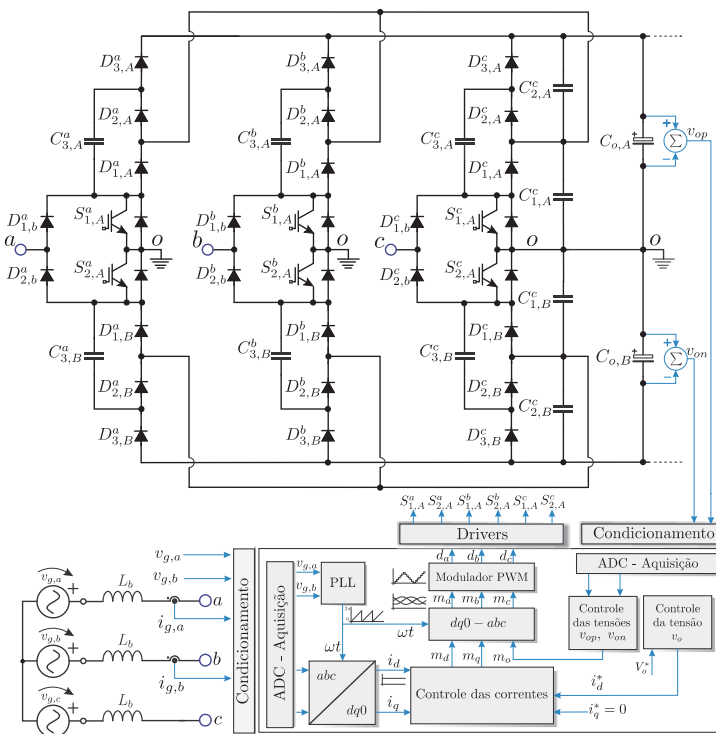


Figura 7-1 – Estrutura básica da estratégia de controle das correntes de entrada e tensões de saída.

7.1.2 Diagrama de blocos

A princípio qualquer estratégia de controle usada em conversores trifásicos unidirecionais três níveis pode ser empregada para os conversores propostos. O critério para escolha da estratégia de controle para este trabalho tomou em conta popularidade e aceitação na literatura acadêmica.

Com base nisso, optou-se neste trabalho pelo emprego da estratégia por coordenadas síncronas dq0. Essa estratégia facilita muito o controle das correntes, pois no plano dq0 as componentes harmônicas fundamentais das correntes tornam-se constantes, beneficiando o projeto dos controladores. O diagrama de blocos da estratégia no plano dq0 é exibido na Figura 7-2. Nesta figura observa-se a necessidade da malha de *FeedForward* e também do balanço das tensões de saída. A malha de tensão de saída fica responsável pela geração da referência de corrente de eixo direto $i_{d,ref}$. Como se deseja que as correntes estejam em fase com suas respectivas tensões de fase, a componente de eixo em quadratura de referência deve ser nula. A malha de *feedForward* tem por objetivo rejeitar as perturbações causadas pelas tensões de entrada, e reduzir os esforços dos sinais dos controladores de corrente.

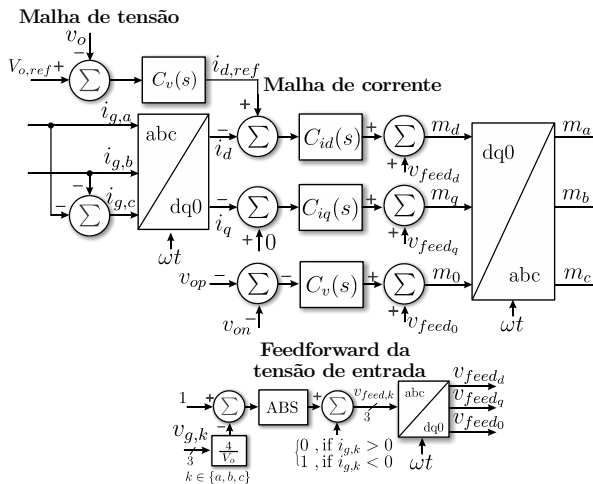


Figura 7-2 – Diagrama de blocos da estratégia de controle dq0.

Particularmente, a estratégia dq0 necessita de um mecanismo de sincronismo. Para tal, será empregado o circuito PLL apresentado por

[71] e exibido na Figura 7-3. Esse PLL consiste basicamente em detectar o ângulo e fase da tensão de sequência positiva da rede elétrica. Para isso, tem como entrada duas tensões de fase. A estratégia consiste em calcular uma potência reativa virtual q a partir das tensões lidas. Quando esta potência torna-se nula indica que o ângulo ωt da saída do PLL corresponde ao mesmo da tensão de sequência positiva de entrada.

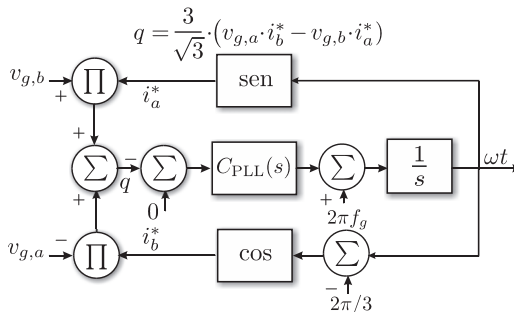


Figura 7-3 – Estrutura de PLL empregada no conversor.

7.2 MODELO DE PEQUENOS SINAIS PARA O CONTROLE DAS CORRENTES DE ENTRADA EM COORDENADAS SÍNCRONAS.

Para obtenção do modelo de planta de corrente será suposto que as tensões que o conversor impõe aos terminais de saída a , b e c , em relação ao ponto médio o , são constantes durante aplicação dos vetores, ou seja, os capacitores se comportam como fontes de tensão durante esses períodos. Diante desta consideração, a tensão instantânea de saída é dada como $v_o = V_o$.

Considerando que o retificador tenha todas as tensões sobre os capacitores equilibradas, ou seja, $v_{C_{i,j}}^k = \frac{V_o}{4}$, $i \in \{1, 2, 3\}$, $j \in \{A, B\}$, $k \in \{a, b, c\}$, logo, a tensão imposta nos terminais de saída a , b e c , em relação ao ponto médio o , é dada por $+V_o/4$, 0 e $-V_o/4$. Deste modo, o retificador trifásico pode ser representado pelo circuito mostrado na Figura 7-4. A topologia original é substituída por interruptores tripolares hipotéticos, os quais, dependendo da posição, sintetizam as tensões que o conversor pode impor nos seus terminais de saída.

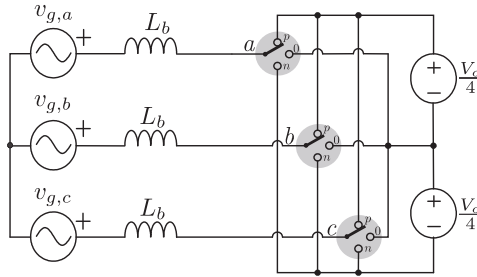


Figura 7-4 – Representação do retificador três níveis por chaves tripolares.

Se representarmos as componentes de tensões e corrente do retificador trifásico por seus respectivos valores médios quase instantâneos, então, o circuito equivalente do retificador conectado à rede elétrica pode ser representado como ilustrado na Figura 7-5. Nesta figura, as tensões terminais são representadas por fontes de tensão, controladas pelo sinal modulador m_k , $k \in \{a, b, c\}$. Assim, as tensões médias quase instantâneas produzidas pelo retificador são dadas pela equação (7.1).

$$\begin{cases} \langle v_{ao} \rangle = m_a \cdot \frac{V_o}{4} \\ \langle v_{bo} \rangle = m_b \cdot \frac{V_o}{4} \\ \langle v_{co} \rangle = m_c \cdot \frac{V_o}{4} \end{cases} \quad (7.1)$$

A tensão $\langle v_{no} \rangle$ é definida como:

$$\langle v_{no} \rangle = \frac{(v_{g,a} - \langle v_{ao} \rangle) + (v_{g,b} - \langle v_{bo} \rangle) + (v_{g,c} - \langle v_{co} \rangle)}{3}. \quad (7.2)$$

Se for considerado que nas tensões $\langle v_{ko} \rangle$, $k \in \{a, b, c\}$, há somente as componentes fundamentais e defasadas de 120° entre si, então, pode-se afirmar que $\langle v_{ao} \rangle + \langle v_{bo} \rangle + \langle v_{co} \rangle = 0$. Logo,

$$\langle v_{no} \rangle = 0. \quad (7.3)$$

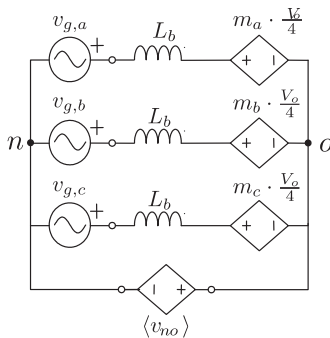


Figura 7-5 – Representação do retificador pelo valor médio quase instantâneo.

No entanto, há situações que a estratégia de modulação ou o próprio controle inserem sinais de sequência zero nas tensões de fase. Nessas situações a tensão de modo comum quase instantânea $\langle v_{no} \rangle$ não é nula e, portanto, é conveniente modelar o conversor considerando essa componente.

Deste modo, o circuito da Figura 7-5 pode ser descrito por:

$$L_b \frac{d}{dt} \vec{i}_g = \vec{v}_g - \vec{m} \cdot \frac{V_o}{4} + \mathbf{I} \cdot \vec{v}_{no}, \quad (7.4)$$

onde:

$$\vec{i}_g = [i_{g,a} \ i_{g,b} \ i_{g,c}]^T, \quad (7.5)$$

$$\vec{v}_g = [v_{g,a} \ v_{g,b} \ v_{g,c}]^T, \quad (7.6)$$

$$\vec{m} = [m_a \ m_b \ m_c]^T, \quad (7.7)$$

e \mathbf{I} de dimensão 3x3 é a matriz identidade e o sobrescrito T representa o vetor transposto.

A equação (7.4) está representada no plano abc , todavia, o mesmo sistema pode ser representado de forma mais simples, por meio de

uma transformação de bases. A matriz de transformação de base é dada pela equação (7.8) e sua respectiva inversa por (7.9) e são chamadas de transformação de Park ou transformação dq0. Essas têm como característica a conversão de um sistema trifásico para um sistema em coordenadas síncronas e vice-versa. Outra particularidade é preservação da potência do sistema original que essas transformações oferecem [72, 73].

$$\mathbf{B} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1/\sqrt{2} & 1/\sqrt{2} & 1/\sqrt{2} \\ \cos(\omega t) & \cos(\omega t - 2\pi/3) & \cos(\omega t + 2\pi/3) \\ -\sin(\omega t) & -\sin(\omega t - 2\pi/3) & -\sin(\omega t + 2\pi/3) \end{bmatrix} \quad (7.8)$$

$$\mathbf{B}^{-1} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1/\sqrt{2} & \cos(\omega t) & -\sin(\omega t) \\ 1/\sqrt{2} & \cos(\omega t - 2\pi/3) & -\sin(\omega t - 2\pi/3) \\ 1/\sqrt{2} & \cos(\omega t + 2\pi/3) & -\sin(\omega t + 2\pi/3) \end{bmatrix} \quad (7.9)$$

A transformação aplicada aos vetores no plano abc é definida por (7.10), (7.11) e (7.12).

$$\vec{i}_{dq0} = \mathbf{B} \cdot \vec{i}_g. \quad (7.10)$$

$$\vec{v}_{dq0} = \mathbf{B} \cdot \vec{v}_g. \quad (7.11)$$

$$\vec{m}_{dq0} = \mathbf{B} \cdot \vec{m}. \quad (7.12)$$

A transformação aplicada aos vetores no plano $dq0$ é definida por (7.13), (7.14) e (7.15).

$$\vec{i}_g = \mathbf{B}^{-1} \cdot \vec{i}_{dq0}. \quad (7.13)$$

$$\vec{v}_g = \mathbf{B}^{-1} \cdot \vec{v}_{dq0}. \quad (7.14)$$

$$\vec{m} = \mathbf{B}^{-1} \cdot \vec{m}_{dq0}. \quad (7.15)$$

Substituindo as expressões (7.13), (7.14) e (7.15) na equação (7.4) obtém-se a expressão (7.16).

$$L_b \frac{d}{dt} (\mathbf{B}^{-1} \cdot \vec{v}_{dq0}) = (\mathbf{B}^{-1} \cdot \vec{v}_{dq0}) - (\mathbf{B}^{-1} \cdot \vec{m}_{dq0}) \frac{V_o}{4} + \mathbf{B}^{-1} \cdot \vec{v}_{on,dq0}. \quad (7.16)$$

Multiplicando (7.16) por \mathbf{B} , obtém-se a equação (7.17).

$$L_b \mathbf{B} \frac{d}{dt} (\mathbf{B}^{-1} \cdot \vec{v}_{dq0}) = \vec{v}_{dq0} - \vec{m}_{dq0} \cdot \frac{V_o}{4} + \vec{v}_{no,dq0}. \quad (7.17)$$

Resolvendo a equação (7.17), tem-se:

$$\begin{bmatrix} v_o \\ v_d \\ v_q \end{bmatrix} = L_b \cdot \omega \begin{bmatrix} 0 \\ -i_q \\ i_d \end{bmatrix} + L_b \frac{d}{dt} \begin{bmatrix} i_0 \\ i_d \\ i_q \end{bmatrix} + \begin{bmatrix} m_0 \\ m_d \\ m_q \end{bmatrix} \frac{V_o}{4} - \sqrt{3} \begin{bmatrix} v_{no} \\ 0 \\ 0 \end{bmatrix} \quad (7.18)$$

A matriz \mathbf{B} , como foram definidas as tensões da rede elétrica, fica alinhada com o eixo q, no entanto, é conveniente que esta esteja alinhada com o eixo direto. Isto é conseguido deslocando-se a referência angular ωt em $-\pi/2$. Desta forma, aplicando esta consideração à equação (7.18) se obtém:

$$\begin{cases} 0 = L_b \frac{di_o}{dt} + \frac{V_o}{4} \cdot m_0 - \sqrt{3} \cdot v_{on} \\ \sqrt{\frac{3}{2}} V_{g,p} = -L_b \cdot \omega \cdot i_q + L_b \frac{di_d}{dt} + \frac{V_o}{4} \cdot m_d \\ 0 = L_b \cdot \omega \cdot i_d + L_b \frac{di_q}{dt} + \frac{V_o}{4} \cdot m_q \end{cases} \quad (7.19)$$

A equação (7.19) mostra que existe um acoplamento entre as componentes de eixo direto e de quadratura. Todavia, chega-se à

conclusão que este acoplamento é proporcional ao valor de L_b . Considerando que valor de L_b seja pequeno, da ordem de micro Henri, o acoplamento pode ser desprezado tendo, desta forma, o circuito equivalente ilustrado na Figura 7-6. Em virtude do sistema operar à três fios, não há a possibilidade física de circulação de corrente de sequência zero.

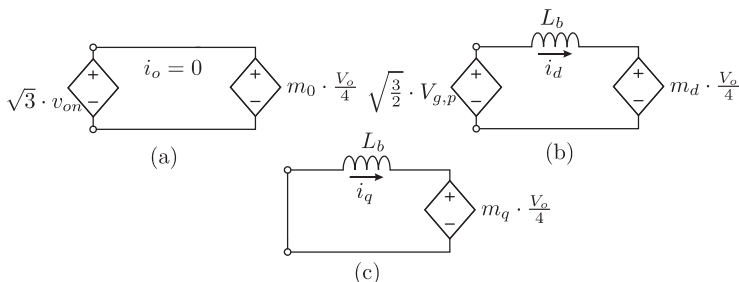


Figura 7-6 – Circuito equivalente do conversor em coordenadas dq0: (a) eixo zero; (b) eixo direto; (c) eixo em quadratura.

Para o controle das correntes pode-se obter funções de transferência que relacionem as correntes de eixo direto e quadratura com suas respectivas moduladoras.

Por meio do circuito da Figura 7-6 (b), pode-se escrever a seguinte equação dinâmica para corrente i_d :

$$i_d = \frac{1}{L_b} \int \left(\sqrt{\frac{3}{2}} V_{g,p} - m_d \frac{V_o}{4} \right) dt. \quad (7.20)$$

Aplicando a transformada de Laplace na equação (7.20), chega-se a expressão (7.21).

$$i_d(s) = \frac{1}{sL_b} \left(\sqrt{\frac{3}{2}} V_{g,p} - m_d(s) \frac{V_o}{4} \right). \quad (7.21)$$

Por meio da equação (7.21), pode-se esboçar o diagrama de blocos da Figura 7-7.

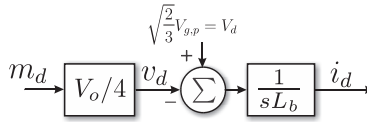


Figura 7-7 – Diagrama de blocos do modelo da corrente em dq0.

Assim como apresentado para o retificador monofásico, a tensão da rede elétrica é vista como uma perturbação para imposição de corrente de eixo direto.

A função de transferência que relaciona a corrente de eixo direto é dada pela equação (7.22).

$$G_{id}(s) = \frac{i_d(s)}{m_d(s)} = \frac{V_o}{4 \cdot s \cdot L_b} \quad (7.22)$$

Da mesma forma, pode-se obter a função de transferência que relaciona a corrente de eixo em quadratura com seu respectivo sinal modulador, m_q , obtendo-se a equação (7.23).

$$G_{iq}(s) = \frac{i_q(s)}{m_q(s)} = \frac{V_o}{4 \cdot s \cdot L_b} \quad (7.23)$$

7.3 MODELO DE PEQUENOS SINAIS PARA O CONTROLE DAS TENSÕES DE SAÍDA EM COORDENADAS SÍNCRONAS

Assim como realizado para o conversor monofásico, o processo de obtenção da malha de tensão é feito utilizando o conceito de balanço de energia nos elementos de maior influência na dinâmica. Dessa forma, são desconsiderados da análise os capacitores $C_{j,A}^k$ e $C_{j,B}^k$, $j \in \{1, 2, 3\}$, $k \in \{a, b, c\}$, devido ao fato destes possuírem pouca influência na dinâmica da tensão de saída, quando comparado aos capacitores de saída C_{oA} e C_{oB} . Ainda, os capacitores C_{oA} e C_{oB} podem ser representados por um capacitor equivalente conforme descreve a equação (7.24).

$$C_o = \frac{C_{oA} \cdot C_{oB}}{C_{oA} + C_{oB}} \quad (7.24)$$

Logo, a equação do balanço de potência é dada pela expressão (7.25).

$$p_{in} = p_L + p_{co} + p_{R_o} \quad (7.25)$$

Os termos de (7.25) são descritos a seguir.

➤ Potência instantânea de entrada:

$$p_{in} = \vec{v}_g \cdot \vec{i}_g^T \quad (7.26)$$

onde $\vec{v}_g = [v_{g,a}, v_{g,b}, v_{g,c}]$ e $\vec{i}_g = [i_{g,a}, i_{g,b}, i_{g,c}]$.

➤ Potência instantânea dos indutores:

$$p_L = \frac{1}{2} L_b \frac{d}{dt} (\vec{i}_g \cdot \vec{i}_g^T) = \frac{1}{2} L_b \frac{d}{dt} (i_{g,a})^2 + \frac{1}{2} L_b \frac{d}{dt} (i_{g,b})^2 + \frac{1}{2} L_b \frac{d}{dt} (i_{g,c})^2 \quad (7.27)$$

➤ Potência instantânea no capacitor equivalente de saída:

$$p_{co} = \frac{1}{2} C_o \frac{d}{dt} \vec{v}_o^2, \quad (7.28)$$

onde $\vec{v}_o = [v_o, 0, 0]$.

➤ Potência de saída na carga:

$$p_{R_o} = \frac{v_o^2}{R_o} \quad (7.29)$$

Substituindo as equações (7.26), (7.27), (7.28) e (7.29) na equação (7.25) chega-se à:

$$\vec{v}_g \cdot \vec{i}_g^T = \frac{1}{2} L_b \frac{d}{dt} (\vec{i}_g \cdot \vec{i}_g^T) + \frac{1}{2} C_o \frac{d}{dt} v_o^2 + \frac{v_o^2}{R_o}. \quad (7.30)$$

Sabe-se que:

$$\mathbf{B} \cdot \mathbf{B}^T = \mathbf{I}. \quad (7.31)$$

Multiplicando ambos os lados da equação (7.30) chega-se a expressão (7.32).

$$\vec{v}_g \cdot \mathbf{B} \cdot \mathbf{B}^T \cdot \vec{i}_g^T = \frac{1}{2} L_b \frac{d}{dt} (\vec{i}_g \cdot \mathbf{B} \cdot \mathbf{B}^T \cdot \vec{i}_g^T) + \frac{1}{2} C_o \frac{d}{dt} \mathbf{B} \cdot \mathbf{B}^T v_o^2 + \frac{\mathbf{B} \cdot \mathbf{B}^T \cdot v_o^2}{R_o} \quad (7.32)$$

Realizando as devidas simplificações na equação (7.32) se obtém

$$\frac{3}{2} v_{gp} \cdot i_{gp} = \frac{1}{2} L_b \frac{d}{dt} \frac{3}{2} i_{gp}^2 + \frac{1}{2} C_o \frac{d}{dt} v_o^2 + \frac{v_o^2}{R_o}, \quad (7.33)$$

onde v_{gp} e i_{gp} representam as amplitudes de suas respectivas grandezas

Sabe-se da transformação dq0 que:

$$v_{gp} = \sqrt{\frac{2}{3}} v_d \quad (7.34)$$

$$i_{gp} = \sqrt{\frac{2}{3}} i_d. \quad (7.35)$$

Substituindo as equações (7.34) e (7.35) na expressão (7.33) chega-se à:

$$v_d \cdot i_d = \frac{1}{2} L_b \frac{d}{dt} i_d^2 + \frac{1}{2} C_o \frac{d}{dt} v_o^2 + \frac{v_o^2}{R_o}. \quad (7.36)$$

Aplicando perturbações de pequenos sinais em torno do ponto de operação na corrente i_d e na tensão de saída v_o , de tal modo que $v_o = V_o + \tilde{v}_o$ e $i_d = I_d + \tilde{i}_d$, tem-se:

$$v_d \cdot (I_d + \tilde{i}_d) = \frac{1}{2} L_b \frac{d}{dt} (I_d + \tilde{i}_d)^2 + \frac{1}{2} C_o \frac{d}{dt} (V_o + \tilde{v}_o)^2 + \frac{(V_o + \tilde{v}_o)^2}{R_o} \quad (7.37)$$

Aplicando a transformada de Laplace na equação (7.37) e isolando somente os termos de primeira ordem se obtém:

$$G_v(s) = \frac{\tilde{v}_o(s)}{\tilde{i}_d(s)} = \frac{R_o \cdot V_d}{2V_o} \cdot \frac{\left(-\frac{L_b I_d}{V_d} \cdot s + 1\right)}{\left(\frac{C_o R_o}{2} \cdot s + 1\right)}. \quad (7.38)$$

7.4 BALANÇO DAS TENSÕES DE SAÍDA

7.4.1 Análise da corrente no ponto médio

Considerando que todos os componentes são ideais e que seja realizado o controle tanto da tensão de saída quanto das correntes de entrada, pode-se assumir que

$$v_{op} = v_{on} = \frac{v_o}{2}. \quad (7.39)$$

Como não há garantia que os componentes possuem características iguais, por exemplo, capacitâncias e/ou resistências série equivalentes idênticas, podem ocorrer desequilíbrios nas tensões. Nesses casos, pode ocorrer a elevação da tensão de um dos capacitores tendo, por consequência, o aumento dos esforços dos componentes que são

submetidos a esta tensão [74]. O desequilíbrio também pode ser causado pela injeção de corrente cc ou de componentes de baixa frequência no ponto médio dos capacitores. Para esses casos, o desbalanço de tensão é

$$\Delta v_{mp} = \frac{1}{2} (v_{op} - v_{on}). \quad (7.40)$$

Para garantir o equilíbrio das tensões dos capacitores dentro do período da rede elétrica é necessário que a seguinte condição seja satisfeita [65]:

$$\bar{I}_{mp} = \frac{1}{T_g} \int_{t-T_g}^t i_{mp} \cdot dt = 0. \quad (7.41)$$

onde i_{mp} é corrente no ponto médio dos capacitores e \bar{I}_{mp} seu respectivo valor médio.

Mesmo garantindo a condição imposta em (7.41), oscilações de baixa frequência na corrente i_{mp} , podem acarretar oscilações de mesma frequência nas tensões dos capacitores, mesmo que os valores médios das tensões sejam iguais. A Figura 7-8 ilustra as correntes que fluem no ponto médio dos capacitores de saída. Por meio deste circuito, pode-se concluir que

$$i_{mp} = i_{C_{o,B}} - i_{C_{o,A}}. \quad (7.42)$$

A expressão (7.42) pode ser reescrita, de tal forma que

$$i_{mp} = C_{o,B} \frac{d(v_o/2 + \Delta v_{mp})}{dt} - C_{o,A} \frac{d(v_o/2 - \Delta v_{mp})}{dt}. \quad (7.43)$$

Assumindo que a tensão v_o se mantenha constante e $C_{o,A} = C_{o,B} = C_{o,AB}$, tem-se

$$\Delta v_{mp} = \frac{1}{2C_{o,AB}} \int i_{mp} \cdot dt. \quad (7.44)$$

A equação (7.44) mostra que, para controlar a tensão do ponto médio, deve-se controlar a corrente i_{mp} .

A corrente que flui no ponto médio do conversor, i_{mp} , depende dos estados de comutação dos interruptores. Cada fase do conversor contribui com uma parcela dessa corrente, conforme ilustrado na Figura 7-8.

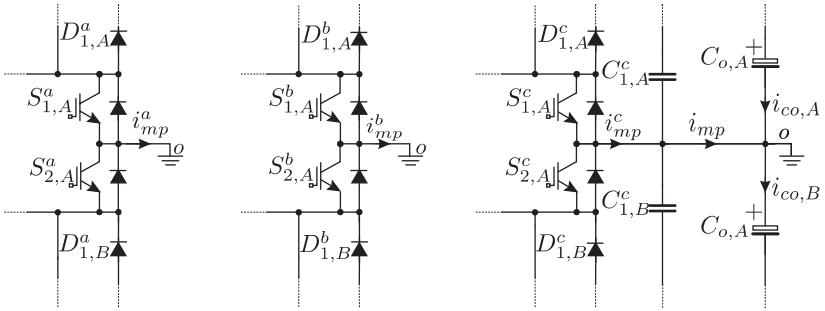


Figura 7-8 – Ilustração da corrente no ponto médio do barramento de saída.

As correntes i_{mp}^i , $i \in \{a, b, c\}$, são decorrentes dos interruptores de cada fase do conversor. Durante o semiciclo positivo, de suas respectivas correntes, os interruptores superiores $S_{1,A}^i$, $i \in \{a, b, c\}$, são comutados enquanto os interruptores inferiores permanecem bloqueados. Processo inverso acontece quando ocorre o semiciclo negativo. Logo, pode-se representar as correntes i_{mp}^i , $i \in \{a, b, c\}$, em função das correntes médias quase instantâneas dos interruptores. Assim,

$$\langle i_{mp} \rangle_{T_s} = \sum_{i=a,b,c} \langle i_{mp}^i \rangle_{T_s} \quad (7.45)$$

onde

$$\langle i_{mp}^i \rangle_{T_s} = \frac{i_{g,i}}{2} \cdot (d_i + 1) \cdot \text{sign}(i_{g,i}) \quad i \in \{a, b, c\} \quad (7.46)$$

e $\text{sign}()$ representa a função sinal.

A expressão (7.46) representa a corrente média quase instantânea dentro de um período de comutação. No entanto, se fizer tanto a razão cíclica d quanto a corrente i_g variar ao longo do tempo, têm-se:

$$i_{g,i} = \begin{cases} I_{gp} \cdot \text{sen}(\omega t) \\ I_{gp} \cdot \text{sen}\left(\omega t - \frac{2\pi}{3}\right) \\ I_{gp} \cdot \text{sen}\left(\omega t + \frac{2\pi}{3}\right) \end{cases} \quad (7.47)$$

$$d_i = \begin{cases} 1 - |M \cdot \text{sen}(\omega t)| \\ 1 - \left| M \cdot \text{sen}\left(\omega t - \frac{2\pi}{3}\right) \right| \\ 1 - \left| M \cdot \text{sen}\left(\omega t + \frac{2\pi}{3}\right) \right| \end{cases} \quad (7.48)$$

Substituindo as equações (7.47) e (7.48) na equação (7.46), obtém-se o comportamento da corrente média quase instantânea ao longo do tempo.

A expressão (7.45) é de difícil solução analítica, no entanto, pode ser representada com excelente aproximação pela equação (7.49).

$$\langle i_{mp} \rangle_{\omega t} \approx \frac{I_{gp}}{4} \cdot M \cdot \text{sen}(3 \cdot \omega t) \quad (7.49)$$

A equação (7.49) mostra que a corrente no ponto médio, utilizando a função de razão cíclica da equação (7.48), possui frequência três vezes maior que à rede elétrica, se caracterizando como uma componente de sequência zero. A título de ilustração, a Figura 7-9 apresenta o comportamento do valor médio quase instantâneo das componentes que dão origem a corrente do ponto médio, válida para $M = 0.77$.

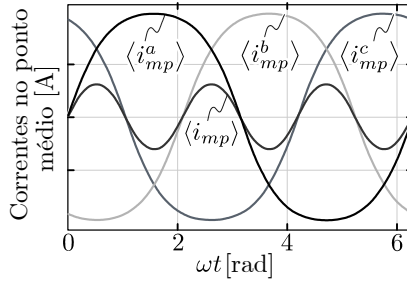


Figura 7-9 – Correntes médias quase instantâneas no ponto médio $M = 0,77$.

Agora, será suposto que nas razões cíclicas, apresentadas na equação (7.48), possua uma componente de sequência zero, de tal modo que

$$d_i = \begin{cases} 1 - |M \cdot \text{sen}(\omega t) + d_0| \\ 1 - |M \cdot \text{sen}(\omega t - \frac{2\pi}{3}) + d_0| \\ 1 - |M \cdot \text{sen}(\omega t + \frac{2\pi}{3}) + d_0| \end{cases} \quad (7.50)$$

Substituindo esta consideração na equação (7.45) e agrupando os termos, pode-se aproximar a solução pela expressão (7.51).

$$\langle i_{mp} \rangle_{\omega t} \approx \underbrace{\frac{I_{gp}}{4} \cdot M \cdot \text{sen}(3 \cdot \omega t)}_{\text{primeira parcela}} - \underbrace{d_0 \cdot I_{gp}}_{\text{segunda parcela}} \quad (7.51)$$

A equação (7.51) mostra que a componente de terceiro harmônico pode ser controlada pela inserção da razão cíclica d_0 . Com base na equação (7.51), pode-se afirmar que a função de d_0 que anulará a componente de terceira harmônica da corrente do ponto médio é:

$$d_0 = \frac{1}{4} \cdot M \cdot \text{sen}(3\omega t). \quad (7.52)$$

Admitindo que a primeira parcela de (7.51) tem valor médio nulo, logo, quem fica responsável pelo valor médio da corrente no ponto médio é a segunda parcela. Assim,

$$\bar{I}_{mp} = d_0 \cdot I_{gp}. \quad (7.53)$$

Assumindo que a relação entre a razão cíclica d e o sinal modulador (m) é a amplitude da portadora triangular, e admitindo esta unitária, pode-se escrever no plano dq0 que

$$\bar{I}_{mp} = \sqrt{3} \cdot m_0 \cdot I_{gp}. \quad (7.54)$$

A Figura 7-10 apresenta o comportamento da corrente média quase instantânea nos capacitores com a injeção de componente de sequência zero, conforme a equação (7.52). A corrente média no ponto médio não é considerada nula, em consequência à consideração imposta em (7.51), contudo, é muito próximo de zero, validando a análise.

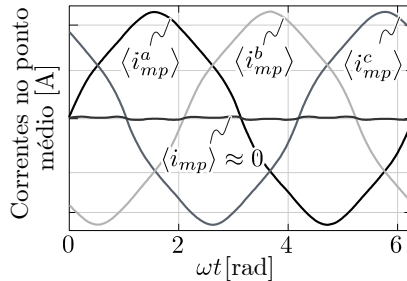


Figura 7-10 – Comportamento do valor médio das parcelas da corrente no ponto neutro com a inserção da razão cíclica de sequência zero para $M = 0.77$.

7.4.2 Função de transferência do equilíbrio das tensões de saída

A equação (7.44) pode ser reescrita da seguinte forma:

$$\frac{d \langle \Delta v_{mp} \rangle_{\omega t}}{dt} = \frac{1}{2C_{o,AB}} \langle i_{mp} \rangle_{\omega t}. \quad (7.55)$$

Substituindo a equação (7.51) em (7.55) obtém-se:

$$\frac{d\langle\Delta v_{mp}\rangle_{\omega t}}{dt} = \frac{1}{2C_{o,AB}} \cdot \left(\frac{I_{gp}}{4} \cdot M \cdot \sin(3 \cdot \omega t) - d_0 \cdot I_{gp} \right). \quad (7.56)$$

Ainda:

$$\frac{d\langle\Delta v_{mp}\rangle_{\omega t}}{dt} = \frac{1}{2C_{o,AB}} \left(\frac{I_{gp}}{4} \cdot M \cdot \sin(3 \cdot \omega t) - \sqrt{3} \cdot m_0 \cdot I_{gp} \right) \quad (7.57)$$

Admitindo pequenas perturbações em torno do ponto de equilíbrio de Δv_{mp} e m_0 , e aplicando a transformada de Laplace e extraíndo os termos de primeira ordem, obtém-se:

$$\frac{\Delta \tilde{v}_{mp}(s)}{m_0(s)} = \frac{\sqrt{3} \cdot I_{gp}}{2 \cdot C_{o,AB}} \cdot \frac{1}{s}. \quad (7.58)$$

7.5 RESUMO SOBRE O CAPÍTULO

Este capítulo se destinou ao estudo e a apresentação de uma técnica de controle e modelagem orientada ao controle dos conversores trifásicos propostos. Foi escolhida a técnica de controle por variáveis síncronas, por meio da transformação dq0. Optou-se por esta técnica devido às simplificações que ela impõe ao projeto dos controladores e também porque é bastante difundida na literatura. Por meio de algumas considerações de projeto não houve a necessidade de adaptação da técnica apresentada, comparada ao que é usada em outros retificadores trifásicos. Por consequência, a modelagem mostrou-se bastante simples e intuitiva.

Adicionalmente, foi apresentado um estudo das correntes que circulam no ponto médio do conversor Tipo I. O objetivo desse estudo foi encontrar uma planta matemática que permita o projeto de controladores para o balanço das tensões parciais de saída. Através desse estudo pode-se constatar que o controle das tensões de saída pode ser realizado com a injeção de sinais na componente de sequencia zero da razão cíclica.

Capítulo 8

Resultados de simulação e experimentais do retificador trifásico híbrido Tipo I

O presente capítulo tem por objetivo apresentar os resultados tanto de simulação quanto os experimentais do retificador trifásico Tipo I. São mostradas as formas de onda para o conversor operando em regime permanente e diante de transitórios de carga. Visa-se com esses resultados validar os conceitos teóricos apresentados nos capítulos anteriores e ratificar a viabilidade desse tipo de topologia nas aplicações em que o uso de conversores trifásicos com alto ganho de tensão se torna necessário.

8.1 RESULTADOS DE SIMULAÇÃO

Para o desenvolvimento da etapa de simulação foi utilizado o conversor trifásico Tipo I. Empregaram-se as especificações contidas na Tabela 6. Essa tabela é base para a construção do protótipo trifásico, cujo alguns itens serão destacados no decorrer do capítulo.

As simulações foram realizadas com o auxílio do *software* PSIM. Adicionalmente, as simulações foram feitas com o conversor operando em malha fechada com controle das correntes de entrada e tensão de saída, conforme apresentado no capítulo anterior. Foi utilizada como estratégia de comando dos interruptores a modulação senoidal.

A fim de inserir elementos parasitas no circuito, foram utilizadas nas simulações somente as resistências série dos capacitores de comutação, cujo valor adotado corresponde a $r_C = 0,3 \, \Omega$.

Tabela 6 – Especificações do protótipo trifásico

Parâmetro	Valor
Tensão de entrada v_g	220 V – 60 Hz
Potência de saída P_o	7500 W
Tensão de saída V_o	1600 V
Frequência de comutação f_s	80 kHz

A Figura 8-1 apresenta o resultado de simulação do conversor operando em condições nominais. São mostradas as três correntes de entrada do conversor. Observa-se a boa qualidade das correntes. Na mesma imagem, são exibidas as correntes nos interruptores ativos $i_{S1,B}^a$, $i_{S1,B}^b$ e $i_{S1,B}^c$. Junto, é mostrado o comportamento do valor médio quase instantâneo, $\langle \bar{i}_{S1}^c \rangle_{\omega t}$, e também a evolução do valor eficaz quase instantâneo, $\langle i_{S1,ef}^c \rangle_{\omega t}$. Ressalta-se que, embora a corrente possua picos relativamente altos, a evolução do valor eficaz é baixa. Basicamente, isso ocorre devido à baixa razão cíclica que o interruptor possui quando opera próximo ao pico da rede elétrica. Ainda na Figura 8-1, são exibidas as correntes nos diodos $i_{D1,B}^a$, $i_{D1,B}^b$ e $i_{D1,B}^c$.

A Figura 8-2 exhibe os resultados de simulação do conversor diante de um degrau de carga de 50% para 100% no instante 0,12 s. Nesta imagem, são apresentados: o comportamento das correntes de entrada, tensões parciais de saída e tensões dos capacitores de comutação, diante do degrau. Observa-se que as tensões parciais v_{op} e v_{on} estão equilibradas e em torno de 800 V. Passado o distúrbio, estas tensões retornam para o ponto nominal de operação. O mesmo pode-se dizer das tensões parciais $v_{C1,A}^c$, $v_{C2,A}^c$ e $v_{C3,A}^c$ que retornam ao valor nominal (400 V) após a perturbação.

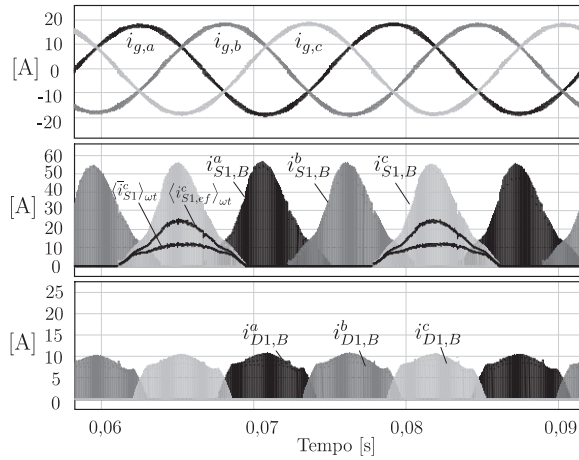


Figura 8-1 – Resultados de simulação do conversor trifásico proposto: correntes de entrada; correntes nos interruptores ativos; correntes nos diodos $D_{1,B}^j$ $j = a, b, c$, referente às três fases.

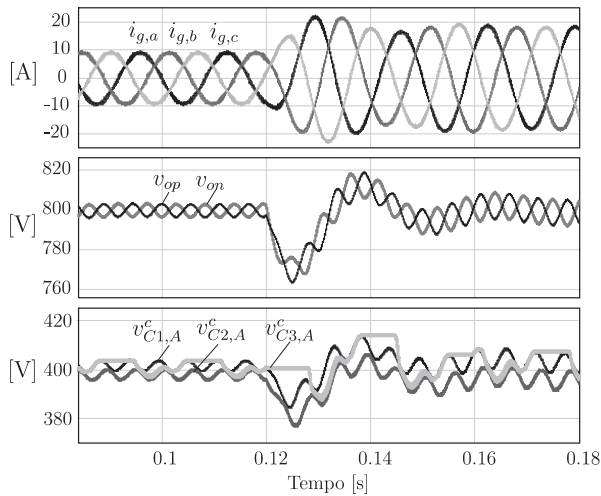


Figura 8-2 – Resultado de simulação do conversor trifásico proposto: corrente de entrada; tensões parciais do barramento cc de saída e tensões sobre os capacitores de comutação.

A Figura 8-3 apresenta o comportamento do conversor diante do mesmo degrau de carga da figura anterior. Nessa imagem, são exibidas a tensão e corrente, referentes à fase A; tensão comutada do conversor v_{ao} , em relação ao ponto médio o , e corrente no ponto médio dos capacitores de saída.

Com relação à tensão e corrente, pode-se constatar que ambas estão em fase, garantindo, dessa forma, um elevado fator de potência.

Sobreposta à tensão comutada v_{ao} está o valor médio quase instantâneo desta tensão. O que se pode concluir é que o conversor sintetiza uma tensão senoidal, característica da modulação empregada.

No que concerne à corrente no ponto médio i_{mp} , observa-se que pequenas ondulações no valor médio quase instantâneo estão presentes na forma de onda. Essa ondulação é fruto da ação de controle do balanço das tensões de saída, necessário para que as tensões fiquem equilibradas.

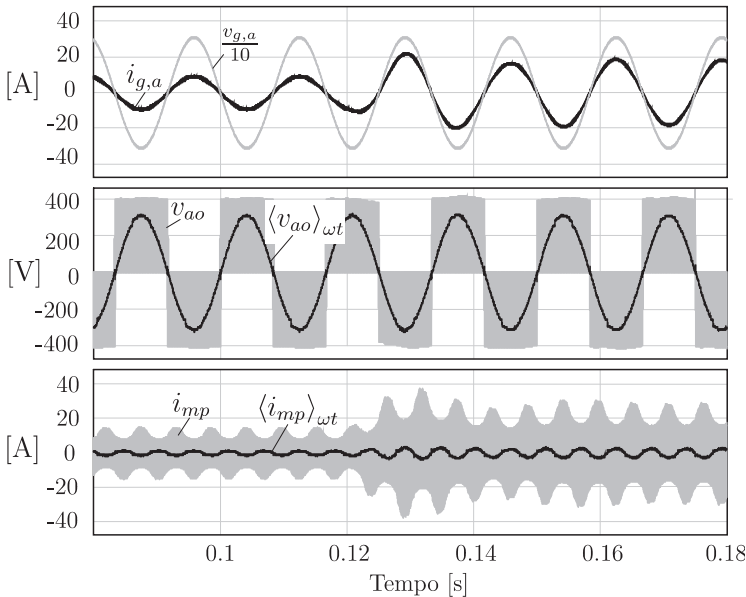


Figura 8-3 – Simulação do conversor trifásico proposto: tensão e corrente da fase A; tensão comutada do conversor (fase a) e corrente no ponto médio do barramento.

Na Figura 8-4 foi realizada uma simulação com o intuito de verificar a malha de balanço das tensões de saída. Na figura são exibidos o comportamento da tensão/corrente de entrada, tensões parciais de saída e tensões sobre os capacitores de comutação. A simulação é iniciada com as tensões dos capacitores $C_{o,A}$ e $C_{o,B}$ com valores iniciais diferentes e também com as capacitâncias ligeiramente distintas. Nos instantes iniciais a malha de controle do balanço das tensões está desativada. O que se observa é que as tensões sobre os capacitores $C_{o,A}$ e $C_{o,B}$ convergem para valores distintos, inclusive as tensões sobre os capacitores de comutação $v_{Ck,j}^c$, $k \in \{A, B\}$, $j \in \{1, 2\}$. No instante $t = 0,12$ s, a malha é ativada. A partir desse momento, as tensões passam a convergir para seus respectivos valores nominais.

O que se pode concluir desta simulação é que a técnica de controle das tensões de saída, por meio da injeção de componente de sequência zero, é eficaz e de simples implementação.

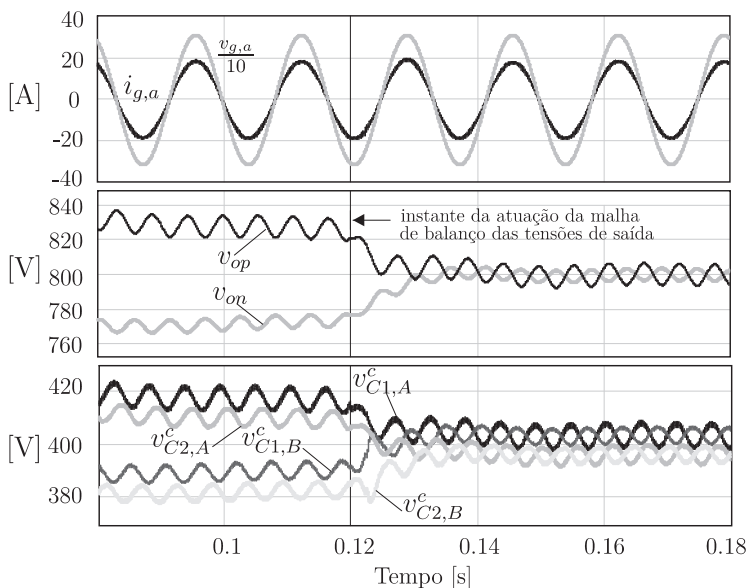


Figura 8-4 – Simulação do conversor trifásico proposto: tensão e corrente de entrada (fase A); tensões parciais do barramento cc de saída e tensões sobre os capacitores de comutação.

8.2 RESULTADOS EXPERIMENTAIS

Como já mencionado anteriormente, os resultados experimentais foram extraídos com um protótipo empregando os dados da Tabela 6. Nota-se que a frequência de comutação de 80 kHz difere da usada no conversor monofásico, 90 kHz. Isso se deve a limitações no tempo de execução das tarefas no DSP empregado. A estratégia de controle do conversor trifásico exige muito mais esforço numérico quando comparado à estratégia do conversor monofásico. Isso é atribuído às operações trigonométricas presentes na malha do PLL e também na estratégia de controle em dq0. Devido a esses fatores, foi necessário reduzir a frequência de comutação e assim aumentar o tempo para execução das malhas de controle. Contudo, a redução de f_s não implica em aumento significativo na ondulação de corrente nos indutores de entrada.

8.2.1 Operação em regime permanente

As formas de onda das tensões e correntes de entrada para operação em regime permanente são ilustradas na Figura 8-5. Nesta, pode-se observar a operação com correção do fator de potência, onde as correntes estão em fase com as respectivas tensões da rede. Pode-se observar distorções nas correntes durante a passagem por zero. Essas distorções são oriundas do sinal modulador, devido às descontinuidades que este apresenta nas passagens por zero. Essas distorções são bastante comuns em conversores unidirecionais, já que a imposição de tensões por parte do conversor depende do sinal da corrente de entrada. Contudo, essa forma de onda serve para comprovar um dos objetos deste trabalho, que é a operação com alto fator de potência.

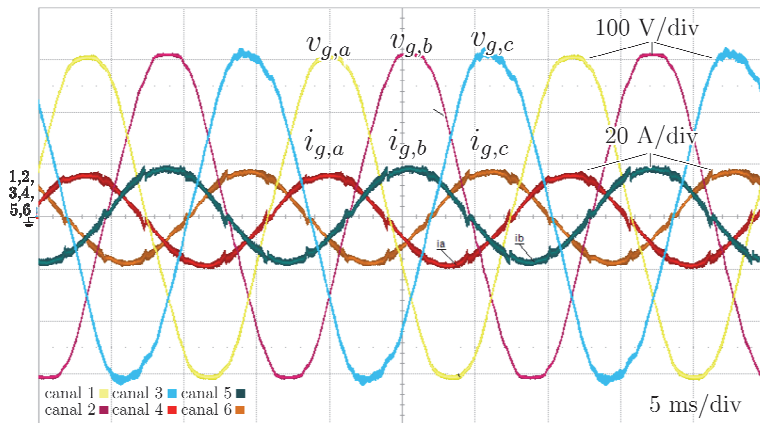


Figura 8-5 – Resultado experimental: formas de onda das tensões e correntes de entrada para operação em regime permanente.

A Figura 8-6 apresenta os resultados experimentais das correntes de entrada, tensão de linha comutada pelo conversor v_{ab} e tensão parcial de saída v_{op} . Destaca-se os cinco níveis presentes na tensão de linha do conversor, correspondentes a $\{-V_o/2, -V_o/4, 0, +V_o/2, +V_o/4\}$. Outro aspecto é o fato da tensão v_{op} estar regulada em torno de 800 V.

A Figura 8-7 apresenta os resultados experimentais das tensões sobre os capacitores $C_{j,A}$, $j \in \{1, 2, 3\}$. Pode-se observar que as tensões estão equilibradas e em torno de 400 V.

A Figura 8-8 apresenta os resultados experimentais da corrente de entrada; corrente através do capacitor $C_{3,A}^a$ e tensões parciais de saída v_{op} e v_{on} . Destaca-se a excelente regulação das tensões parciais de saída, em torno de 800 V. Observa-se que ambas possuem aproximadamente o mesmo valor médio, fruto da ação da malha de equilíbrio das tensões de saída.

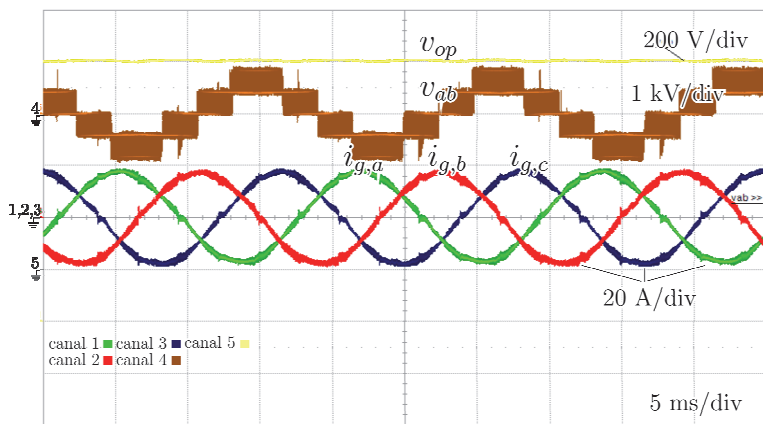


Figura 8-6 – Resultados experimentais: formas de onda das correntes de entrada; tensão de linha comutada pelo conversor e tensão parcial de saída.

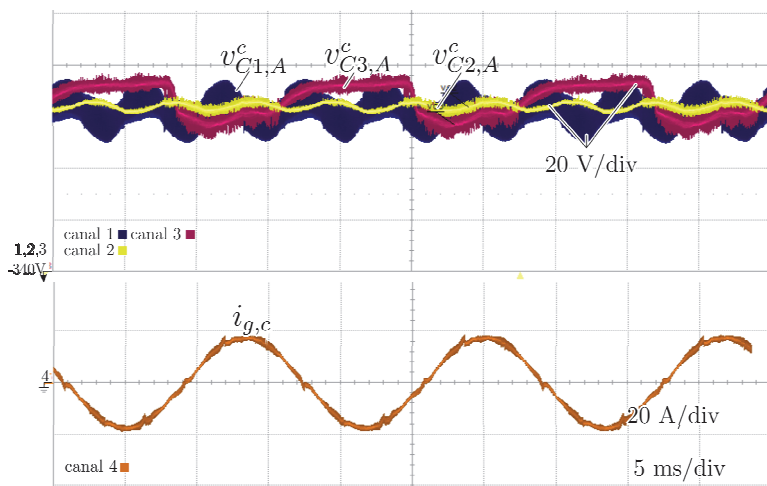


Figura 8-7—Resultados experimentais: formas de onda da corrente de entrada (canal 4); tensão sobre o capacitor $C_{1,A}$ (canal 1); tensão sobre o capacitor $C_{2,A}$ (canal 2) e tensão sobre o capacitor $C_{3,A}$ (canal 3).

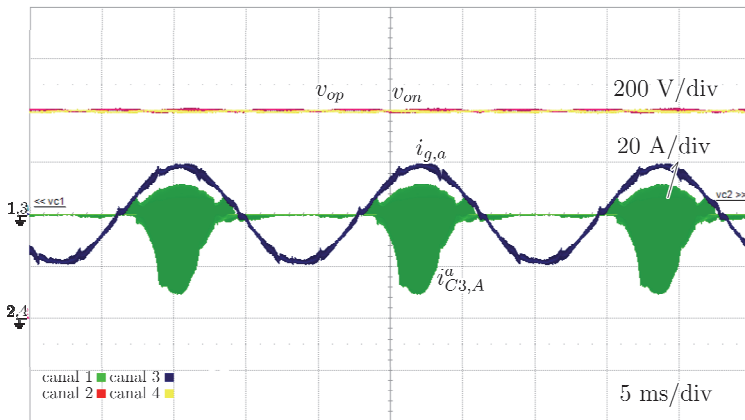


Figura 8-8 – Resultados experimentais: formas de onda da corrente de entrada; corrente no capacitor $C_{3,A}^a$; tensões parciais de saída v_{op} e v_{on} .

8.2.2 Operação em regime transitório

A operação em regime transitório consistiu em avaliar o comportamento dinâmico do conversor diante de perturbações nas malhas de controle. Basicamente dois ensaios foram realizados com o intuito de validar a estabilidade das malhas de controle e dinâmica das variáveis externas do conversor como, por exemplo, tensões de saída e correntes de entrada.

No primeiro teste o conversor foi colocado em operação sem a malha de equilíbrio das tensões de saída. Como pode ser observado nos instantes iniciais da Figura 8-9, as tensões parciais de saída v_{op} e v_{on} em regime permanente possuem valores médios distintos. A partir de um determinado instante de tempo a malha de equilíbrio das tensões de saída é ativada. Como consequência, as tensões v_{op} e v_{on} são forçadas a convergir para o mesmo valor médio, sem que isso acarrete em distorção harmônica significativa nas correntes de entrada.

Outro aspecto importante a ser analisado é a ondulação de tensão que pode ser visualizada na figura. Observa-se que as tensões v_{op} e v_{on} possuem ondulações em oposição de fase, de tal forma que essas ondulações são canceladas na tensão de saída v_o .

Em resumo, com este ensaio, pode-se comprovar experimentalmente o resultado de simulação apresentado anteriormente na Figura 8-4.

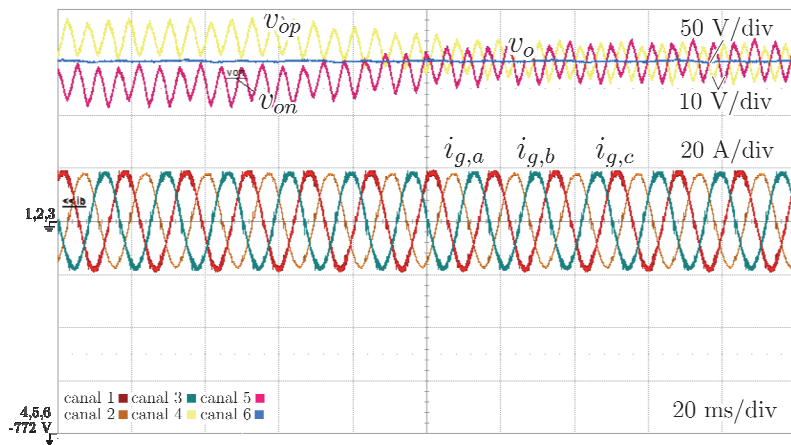


Figura 8-9 – Resultado experimental: comportamento das tensões parciais diante da ativação da malha de equilíbrio das tensões de saída; correntes de entrada.

O segundo ensaio consistiu em avaliar o comportamento dinâmico das tensões da saída diante de um degrau de carga nos terminais de saída do conversor. O resultado do ensaio pode ser visualizado na Figura 8-10. Nesta, constata-se que o conversor diante do distúrbio nos terminais de saída consegue regular as tensões de saída, ao mesmo tempo em que drena correntes senoidais da rede elétrica. Um fato importante é que as tensões v_{op} e v_{on} permanecem com valores instantâneos próximos, mesmo diante do transitório, comprovando a eficiência da malha de regulação das tensões de saída.

Após apresentação dos resultados experimentais, a Figura 8-11 mostra o espectro harmônico de uma das correntes de entrada. Todos os harmônicos estão em percentual da componente fundamental. Pode-se observar que as maiores amplitudes estão abaixo de 2% da fundamental, o que implica na boa taxa de distorção harmônica total obtida, em torno de 4,8 %.

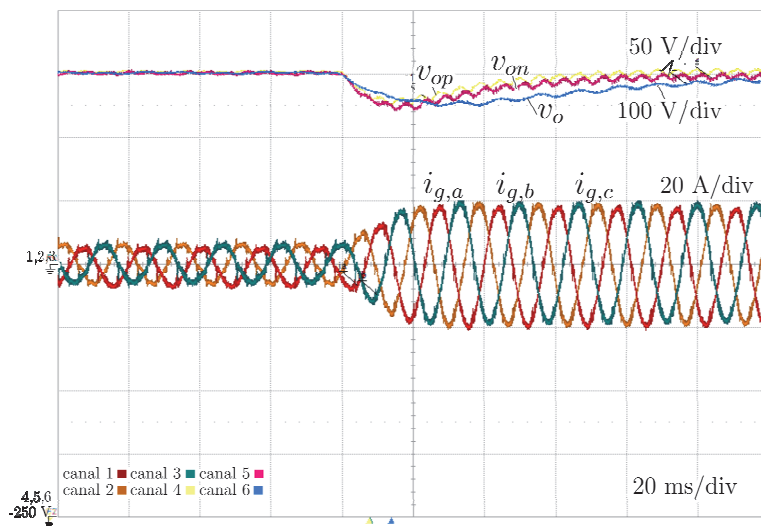


Figura 8-10 – Comportamento das tensões de saída e correntes de entrada diante de um degrau de carga na saída.

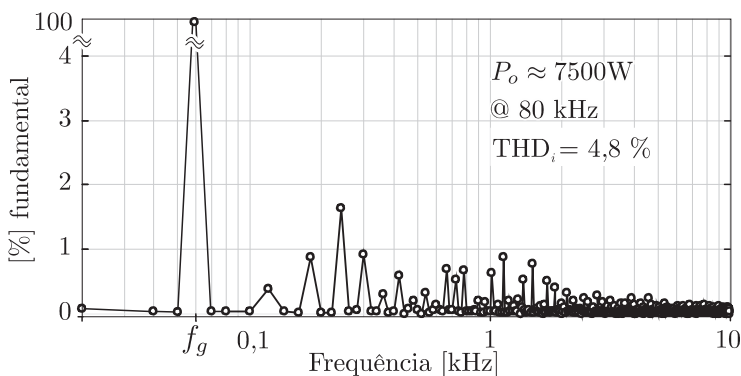


Figura 8-11 – Taxa de distorção harmônica total da corrente de entrada para condições nominais (percentual da componente fundamental).

Com o intuito de avaliar as perdas do conversor foram realizados ensaios do rendimento da estrutura trifásica Tipo I. Para esse

propósito, testes foram realizados com a carga variando desde 20% até 100% da potência nominal. A curva resultante dos ensaios pode ser visualizada na Figura 8-12. Para o cálculo do rendimento não foram consideradas as perdas das fontes auxiliares como: placa de controle, circuito de *gate-drivers* e ventilação. Atingiu-se um rendimento máximo de 97,78% com a carga em 46% da potência nominal. Observa-se também que o rendimento manteve-se acima de 96,5% para toda faixa testada.

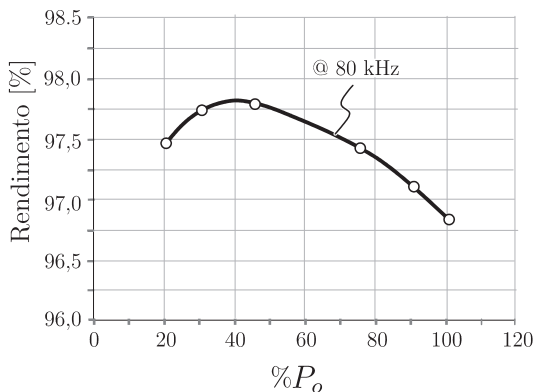


Figura 8-12 – Curva de rendimento experimental do conversor trifásico Tipo I.

8.3 RESUMO SOBRE O CAPÍTULO

Neste capítulo foram apresentados resultados tanto de simulação quanto experimentais do conversor trifásico. Dentre os conversores da família proposta, o Tipo I trifásico foi empregado para estudo. Por meio dos resultados atingidos, pode-se constatar o funcionamento e características das formas de onda das principais grandezas da topologia. Os resultados de simulação anteciparam o que viria acontecer na experimentação. O gráfico do espectro harmônico da corrente de entrada mostra que as correntes drenadas pelo conversor apresentam baixo conteúdo harmônico, chegando a um THD menor que 5% na potência nominal. Outro aspecto que se deve destacar é o fato do conversor controlar integralmente as tensões parciais de saída, obtendo boa resposta dinâmica diante de transitórios. Adicionalmente, pode-se mostrar a eficácia da malha de balanço das tensões de saída.

Através da curva de rendimento, obtida por meio do protótipo construído, pode-se comprovar que a solução proposta atinge requisitos de eficiência, obtendo elevado rendimento para cargas próximas a metade da potência nominal.

Cabe salientar que todos os resultados foram obtidos com técnicas de controle simples usadas em outros conversores trifásicos e, portanto, já bastante difundidas na literatura. Dessa forma, a adaptação para o projeto dos controladores é bastante reduzida.

Por fim, os resultados mostrados neste capítulo reiteram a proposta deste trabalho, que é o uso de conversores PWM para aplicações que exijam alto ganho de tensão e correção do fator de potência. Foi atingida uma taxa de conversão de tensão de saída maior que 7 vezes ao valor eficaz de entrada, o que ratifica as vantagens das soluções propostas.

Capítulo 9

Conclusão geral

Os conversores ca-cc unidirecionais que são empregados atualmente apresentam limitações quanto a faixa de tensão de saída que podem operar, tipicamente menor que 1000 V. Esse fato advém da indisponibilidade de semicondutores que suportem tensões elevadas, como o caso do MOSFET, e também à limitação que os elementos parasitas impõem ao ganho estático nos conversores que operam com armazenamento indutivo. Contudo, há inúmeras ocasiões que é necessário superar esses limites.

Foram mostrados no capítulo 1 inúmeras aplicações que necessitam de conversão ca-cc de alto ganho. Nesses casos, outros tipos de conversores acabam por serem utilizados como, por exemplo, com isolamento galvânica (transformadores) ou extensão de níveis (multiníveis). Entretanto, essas soluções podem acrescentar elevação de custos ou até mesmo complexidade. Além disso, muitos equipamentos empregam circuitos multiplicadores de tensão operando em baixa frequência, tendo por consequência aumento significativo de volume e custo. Também, durante a revisão bibliográfica ficou claro que muitas das soluções atuais são voltadas para aplicações de conversão cc-cc não deixando claro a possibilidade da conversão ca-cc.

Todos esses aspectos foram citados e apontados durante a revisão bibliográfica, onde se evidenciou a existência de uma lacuna, que é a necessidade de conversores que consigam operar com tensões elevadas, ao mesmo tempo em que apresentem elevado fator de potência em seu estágio de entrada. A operação como PFC se justifica pela questão da redução do impacto das perdas na rede elétrica e também pela redução das interferências eletromagnéticas em outros equipamentos.

À vista disso, com base na deficiência de soluções voltadas a conversão ca-cc, esta tese apresentou uma nova família de retificadores unidirecionais. Esta família conta com os atributos de possuir elevado ganho de tensão e alto fator de potência. Adicionalmente, as topologias propostas apresentam três níveis de tensão em seus

terminais comutados. Essa característica permite a redução física do indutor de entrada e também os impactos de emissão eletromagnética.

Foram apresentadas soluções tanto monofásicas quanto trifásicas, abrangendo, dessa forma, a um nicho extenso de aplicações. As topologias unificam dois conceitos distintos dentro da eletrônica de potência, que é o armazenamento indutivo e a comutação capacitiva. A junção dessas duas vertentes permite ter característica de fonte de corrente, no estágio de entrada, e de fonte de tensão, no estágio de saída.

Por meio do estudo detalhado de cada etapa de funcionamento, pode-se perceber que os conversores propostos reduzem os esforços de tensão sobre os interruptores, podendo estes serem dimensionados para suportar a um quarto da tensão de saída. Ressalta-se o fato do número reduzido de interruptores comandados necessários para conversão de energia, o que implica na redução significativa do número de circuitos de *gate-drivers*.

Com a evolução dos capítulos foram sendo expostas outras peculiaridades da família de conversores como, por exemplo, a possibilidade de controle da tensão de saída e da corrente de entrada. Para tal, foi analisado detalhadamente o modelo de planta tanto de tensão quanto de corrente, visando o projeto dos controladores. Através de considerações simples foi possível encontrar modelos semelhantes aos conversores convencionais e, portanto, sendo possível o emprego de técnicas difundidas na literatura.

Com o intuito de comprovar o funcionamento, simulações numéricas foram realizadas, onde foi possível perceber os atributos e deficiências das soluções propostas. Por meio de uma especificação de projeto, construiu-se um protótipo com a finalidade única de validação experimental. Por intermédio dos resultados alcançados, foi possível constatar que a topologia possui tensão e corrente de entrada em fase e senoidal, ao mesmo tempo em que garante a tensão de saída regulada. Os resultados experimentais também serviram para avaliar o comportamento dinâmico de tensões e correntes diante de transitórios de carga. Através dos resultados experimentais obtidos, pode-se afirmar que as tensões mantêm-se equilibradas e as correntes com baixa distorção harmônica, mesmo diante de perturbações externas.

Por fim, por meio das curvas de rendimento, tanto do conversor monofásico quanto do retificador trifásico, acredita-se que as soluções propostas podem, um dia, integrar o segmento de mercado que outros conversores atualmente integram, com o diferencial de possuírem menores perdas que as soluções convencionais. Em muitas das

aplicações não há necessidade de isolamento, tão pouco bidirecionalidade podendo, desta forma, esta nova família se enquadrar sem que, para isso, se tenha perda de generalidade ou desempenho. De qualquer forma, os resultados teóricos e práticos obtidos condizem com a proposta inicial, ratificando a viabilidade para aplicações que exijam alto ganho de tensão. O que se buscou, a todo o momento, foi uma contribuição ao estudo dos retificadores unidirecionais. Contudo, ainda é clara a necessidade de mais investigações que visem explorar as vantagens e desvantagens deste tipo de abordagem.

9.1 PROPOSTA DE TRABALHO FUTUROS

Com base nos estudos que ainda podem se realizados, considera-se as seguintes sugestões.

9.1.1 Conversores monofásicos

A tese propôs apenas soluções com dois estágios de células diodo-capacitor. Em virtude disso, a faixa de operação fica restrita a algumas aplicações. Foi mostrado que o conversor possui bom rendimento para uma faixa específica de índice de modulação. Operar fora dessa faixa pode significar baixa eficiência e, por consequência, pode não ser atrativo o uso de dois estágios. Como possível solução a essa questão, pode-se sugerir a generalização dos estudos apresentados para os conversores monofásicos. Dependendo da taxa de conversão pode ser interessante aumentar o número de estágios, ampliando a tensão de saída. Esse estudo deve apontar expressões matemáticas generalizadas, de tal forma que seja possível estabelecer o número de estágios ótimo para uma determinada aplicação. A título de ilustração na Figura 9-1 são apresentadas duas células genéricas com n -estágios. Por meio destas células seis conversores podem ser gerados.

Outro estudo interessante seria uma metodologia para otimização dos capacitores da topologia. Esse pode resultar em um conversor mais compacto e mais barato, isso por meio da escolha adequada dos valores de capacitância.

Ainda, neste trabalho foi dada ênfase apenas ao conversor Tipo I. Pode-se sugerir a avaliação comparativa entre as topologias propostas. Embora todas possuem as mesmas características do ponto vista de entrada e saída, estas apresentam características distintas quanto a

perdas de energia. Um estudo detalhado de distribuição de perdas pode revelar as vantagens e desvantagens de cada abordagem.

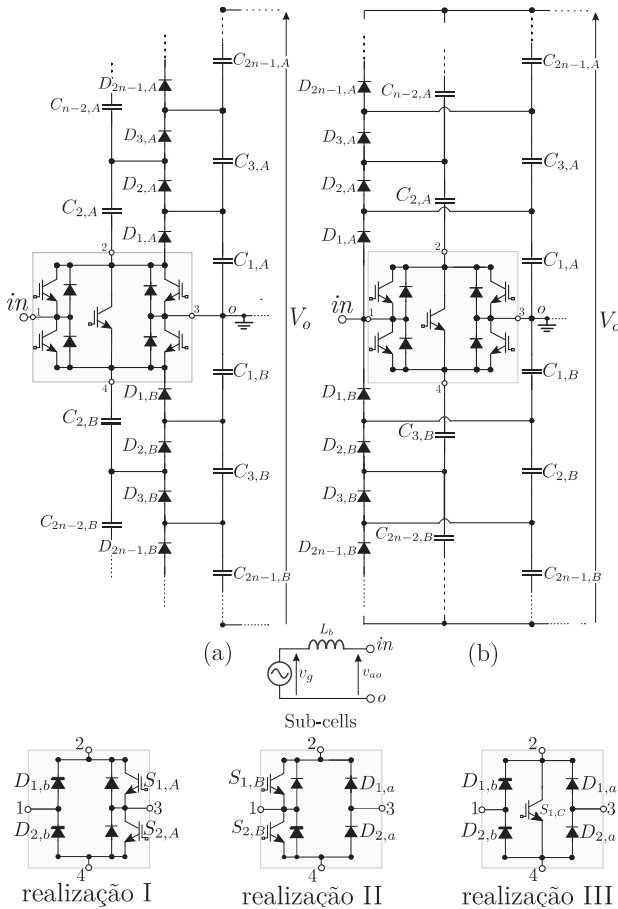


Figura 9-1 – Proposta de generalização dos conversores propostos.

9.1.2 Conversores trifásicos

Todos os estudos mencionados para os conversores monofásicos podem se aplicados aos retificadores trifásicos, principalmente no que diz respeito à generalização no número de estágios. Contudo, talvez a maior contribuição seja um estudo detalhado de estratégias de

modulação. Novas técnicas de modulação dos interruptores podem revelar características benéficas para o rendimento das estruturas. Muitas das técnicas empregadas atualmente para conversores três níveis convencionais podem ser diretamente adaptadas às estruturas propostas.

Referências Bibliográficas

- [1] I. Barbi. (2013) Semicondutores de Potência no Brasi. *SOBRAEP*.
- [2] V. Blahnik, Z. Peroutka, J. Zak, and T. Komrska, "Traction converter with medium-frequency transformer for railway applications: Direct current control of primary active rectifiers," in *Power Electronics and Applications, 2009. EPE '09. 13th European Conference on*, 2009, pp. 1-8.
- [3] Y. Oura, Y. Mochinaga, and H. Nagasawa, "Railway Electric Power Feeding Systems," *Japan Railway & Transport Review*, vol. 16, June 1998.
- [4] N. M. H Ohsaki , T Koseki and M Tomita, "Characteristic Analysis of DC Electric Railway Systems with Superconducting Power Cables Connecting Power Substations," *Journal of Physics: Conference Series*, vol. 507, 2014.
- [5] B. d. S. Nora, "Retificador trifásico associado ao conversor boost aplicado a sistema de geração eólico," Mestrado, Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Florianópolis, 2012.
- [6] G. Tibola, "Sistema Eólico de Pequeno Porte para Geração de Energia Elétrica com Rastreamento de Máxima Potência," Mestrado, Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Florianópolis, 2009.
- [7] F. d. S. Cavalcante, "High Output Voltage Series-Parallel Resonant Dc-Dc Converter for Medical X-ray Imaging Applications," Doctor of Sciences, Swiss Federal Institute of Technology Zurich, Zurich, 2006.
- [8] I. C. Kobougias and E. C. Tatakis, "Optimal Design of a Half-Wave Cockcroft–Walton Voltage Multiplier With

- Minimum Total Capacitance," *Power Electronics, IEEE Transactions on*, vol. 25, pp. 2460-2468, 2010.
- [9] S. Iqbal, "A Hybrid Symmetrical Voltage Multiplier," *Power Electronics, IEEE Transactions on*, vol. 29, pp. 6-12, 2014.
- [10] M. M. Weiner. (1968, February 1969) Analysis of Cockcroft-Walton Voltage Multipliers. *The Review Of Scientific Instruments*.
- [11] J. S. Brugler, "Theoretical performance of voltage multiplier circuits," *Solid-State Circuits, IEEE Journal of*, vol. 6, pp. 132-135, 1971.
- [12] P. M. Lin and L. O. Chua, "Topological generation and analysis of voltage multiplier circuits," *Circuits and Systems, IEEE Transactions on*, vol. 24, pp. 517-530, 1977.
- [13] K. S. Tam and E. Bloodworth, "Automated topological generation and analysis of voltage multiplier circuits," *Circuits and Systems, IEEE Transactions on*, vol. 37, pp. 432-436, 1990.
- [14] A. H. Falkner, "Generalised Cockcroft-Walton voltage multipliers," *Electronics Letters*, vol. 9, pp. 585-586, 1973.
- [15] G. Di Cataldo and G. Palumbo, "Design of an nth order Dickson voltage multiplier," *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on*, vol. 43, p. 414, 1996.
- [16] G. Di Cataldo and G. Palumbo, "Dynamic analysis of 3 stage Dickson voltage multiplier for an optimized design," in *Electrotechnical Conference, 1994. Proceedings., 7th Mediterranean*, 1994, pp. 633-636 vol.2.
- [17] J. F. Dickson, "On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique," *Solid-State Circuits, IEEE Journal of*, vol. 11, pp. 374-378, 1976.
- [18] N. L. R. Center, "Input-Current Shaped Ac-to-Dc Converters," California Institute of Technology, California EUA1986 1986.
- [19] L. Dixon, "High Power Factor Preregulator for Off-Line Power Supplies," Unitrode Corporation.
- [20] J. C. Salmon, "Circuit topologies for single-phase voltage-doubler boost rectifiers," in *Applied Power Electronics Conference and*

- Exposition, 1992. APEC '92. Conference Proceedings 1992., Seventh Annual, 1992, pp. 549-556.*
- [21] J. C. Salmon, "Circuit topologies for PWM boost rectifiers operated from 1-phase and 3-phase AC supplies and using either single or split DC rail voltage outputs," in *Applied Power Electronics Conference and Exposition, 1995. APEC '95. Conference Proceedings 1995., Tenth Annual, 1995, pp. 473-479 vol.1.*
 - [22] T. B. Soeiro and J. W. Kolar, "Analysis of High-Efficiency Three-Phase Two- and Three-Level Unidirectional Hybrid Rectifiers," *Industrial Electronics, IEEE Transactions on*, vol. 60, pp. 3589-3601, 2013.
 - [23] M. L. Heldwein, S. A. Mussa, and I. Barbi, "Three-Phase Multilevel PWM Rectifiers Based on Conventional Bidirectional Converters," *Power Electronics, IEEE Transactions on*, vol. 25, pp. 545-549, 2010.
 - [24] J. W. Kolar and T. Friedli, "The essence of three-phase PFC rectifier systems," in *Telecommunications Energy Conference (INTELEC), 2011 IEEE 33rd International, 2011, pp. 1-27.*
 - [25] T. Friedli, M. Hartmann, and J. W. Kolar, "The Essence of Three-Phase PFC Rectifier Systems; Part II," *Power Electronics, IEEE Transactions on*, vol. 29, pp. 543-560, 2014.
 - [26] F. Z. Peng, Z. Fan, and Q. Zhaoming, "A magnetic-less DC-DC converter for dual voltage automotive systems," in *Industry Applications Conference, 2002. 37th IAS Annual Meeting. Conference Record of the, 2002, pp. 1303-1310 vol.2.*
 - [27] R. L. Andersen, T. B. Lazzarin, and I. Barbi, "A 1-kW Step-Up/Step-Down Switched-Capacitor AC-AC Converter," *Power Electronics, IEEE Transactions on*, vol. 28, pp. 3329-3340, 2013.
 - [28] M. S. Makowski and D. Maksimovic, "Performance limits of switched-capacitor DC-DC converters," in *Power Electronics Specialists Conference, 1995. PESC '95 Record., 26th Annual IEEE, 1995, pp. 1215-1221 vol.2.*

- [29] B. Axelrod, Y. Berkovich, and A. Ioinovici, "Switched-Capacitor/Switched-Inductor Structures for Getting Transformerless Hybrid DC-DC PWM Converters," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 55, pp. 687-696, 2008.
- [30] A. Shenkman, Y. Berkovich, and B. Axelrod, "The transformerless ac-dc and dc-dc converters with a diode-capacitor voltage multiplier," in *Power Tech Conference Proceedings, 2003 IEEE Bologna*, 2003, p. 6 pp. Vol.1.
- [31] O. Abutbul, A. Gherlitz, Y. Berkovich, and A. Ioinovici, "Step-up switching-mode converter with high voltage gain using a switched-capacitor circuit," *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on*, vol. 50, pp. 1098-1102, 2003.
- [32] Y. Chung-Ming and C. Ming-Hui, "A novel single-phase ac to high voltage dc converter based on Cockcroft-Walton cascade rectifier," in *Power Electronics and Drive Systems, 2009. PEDS 2009. International Conference on*, 2009, pp. 822-826.
- [33] Y. Chung-Ming, C. Ming-Hui, C. Hong-Lin, C. Jen-Yi, and K. Chun-Cho, "Transformerless single-stage high step-up AC-DC converter based on symmetrical Cockcroft-Walton voltage multiplier with PFC," in *Power Electronics and Drive Systems (PEDS), 2011 IEEE Ninth International Conference on*, 2011, pp. 191-196.
- [34] M. Prudente, L. L. Pfitscher, and R. Gules, "A Boost Converter With Voltage Multiplier Cells," in *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th*, 2005, pp. 2716-2721.
- [35] M. Prudente, L. L. Pfitscher, G. Emmendoerfer, E. F. Romanelli, and R. Gules, "Voltage Multiplier Cells Applied to Non-Isolated DC-DC Converters," *Power Electronics, IEEE Transactions on*, vol. 23, pp. 871-887, 2008.
- [36] J. C. Rosas-Caro, J. M. Ramirez, and A. Valderrabano, "Voltage balancing in DC/DC multilevel boost converters," in *Power Symposium, 2008. NAPS '08. 40th North American*, 2008, pp. 1-7.

- [37] J. C. Mayo-Maldonado, R. Salas-Cabrera, J. C. Rosas-Caro, J. De Leon-Morales, and E. N. Salas-Cabrera, "Modelling and control of a DC-DC multilevel boost converter," *Power Electronics, IET*, vol. 4, pp. 693-700, 2011.
- [38] J. C. Mayo-Maldonado, J. C. Rosas-Caro, R. Salas-Cabrera, A. Gonzalez-Rodriguez, O. F. Ruiz-Martinez, R. Castillo-Gutierrez, *et al.*, "State space modeling and control of the dc-dc multilevel boost converter," in *Electronics, Communications and Computer (CONIELECOMP), 2010 20th International Conference on*, 2010, pp. 232-236.
- [39] M. C. Maccarini, "Retificador Monofásico com Fator de Potência Unitário de Alto Ganho Baseado em um Conversor Boost Híbrido," master's degree, Department of Electrical Engineering, Federal University of Santa Catarina, Santa Catarina - SC- Brazil, 2013.
- [40] Y. Berkovich, A. Shenkman, B. Axelrod, and G. Golan, "Structures of transformerless step-up and step-down controlled rectifiers," *Power Electronics, IET*, vol. 1, pp. 245-254, 2008.
- [41] B. Axelrod, Y. Berkovich, A. Shenkman, and G. Golan, "Diode-capacitor voltage multipliers combined with boost-converters: topologies and characteristics," *Power Electronics, IET*, vol. 5, pp. 873-884, 2012.
- [42] Y. Neba, K. Ishizaka, and R. Itoh, "Single-Phase Voltage-Quadrupler Rectifier With Sinusoidal Input Current," *Power Electronics, IEEE Transactions on*, vol. 22, pp. 1480-1488, 2007.
- [43] R. Gules, L. L. Pfitscher, and L. C. Franco, "An interleaved boost DC-DC converter with large conversion ratio," in *Industrial Electronics, 2003. ISIE '03. 2003 IEEE International Symposium on*, 2003, pp. 411-416 vol. 1.
- [44] Z. Dongyan, A. Pietkiewicz, and S. Cuk, "A three-switch high-voltage converter," *Power Electronics, IEEE Transactions on*, vol. 14, pp. 177-183, 1999.
- [45] L. C. Franco, L. L. Pfitscher, and R. Gules, "A new high static gain nonisolated DC-DC converter," in *Power Electronics*

- Specialist Conference, 2003. PESC '03. 2003 IEEE 34th Annual*, 2003, pp. 1367-1372 vol.3.
- [46] M. Prudent, L. Pfitscher, and R. Gules, "Boost VMC - A Simple. Non Isolated Large Step-Up Ratio Dc-Dc Converter," *Induscon*, 2004.
 - [47] F. L. Tofoli, D. de Souza Oliveira, B. Torrico, x, R. P., and Y. J. A. Alcazar, "Novel Nonisolated High-Voltage Gain DC-DC Converters Based on 3SSC and VMC," *Power Electronics, IEEE Transactions on*, vol. 27, pp. 3897-3907, 2012.
 - [48] R. L. Andersen, T. B. Lazzarin, and I. Barbi, "A 1-kW Step-Up/Step-Down Switched-Capacitor AC-AC Converter," *Power Electronics, IEEE Transactions on*, vol. 28, pp. 3329-3340, 2013.
 - [49] D. Flores Cortez, G. Waltrich, J. Fraigneaud, H. Miranda, and I. Barbi, "DC-DC Converter for Dual Voltage Automotive Systems Based on Bidirectional Hybrid Switched-Capacitor Architectures," *Industrial Electronics, IEEE Transactions on*, vol. PP, pp. 1-1, 2014.
 - [50] D. Flores Cortez and I. Barbi, "A Family of High Voltage Gain Single-Phase Hybrid Switched-Capacitor PFC Rectifiers," *Power Electronics, IEEE Transactions on*, vol. PP, pp. 1-1, 2014.
 - [51] D. Flores Cortez, B. L. Corral Martinez, and I. Barbi, "Three-phase active power filter based on the four states commutation cell DC-AC converter. Design and implementation," in *Power Electronics Conference (COBEP), 2013 Brazilian*, 2013, pp. 1226-1233.
 - [52] D. F. Cortez and I. Barbi, "Three-phase active power filter based on the four states commutation cell DC-AC converter. Design and implementation," *Revista Eletrônica de Potência*, vol. 3, pp. 312-320, 08/2014 2014.
 - [53] A. Ioinovici, "Switched-capacitor power electronics circuits," *Circuits and Systems Magazine, IEEE*, vol. 1, pp. 37-42, 2001.
 - [54] P. Zhiguo, Z. Fan, and F. Z. Peng, "Power losses and efficiency analysis of multilevel dc-dc converters," in *Applied Power*

- Electronics Conference and Exposition, 2005. APEC 2005. Twentieth Annual IEEE*, 2005, pp. 1393-1398 Vol. 3.
- [55] T. Umeno, K. Takahashi, I. Oota, F. Ueno, and T. Inoue, "New switched-capacitor DC-DC converter with low input current ripple and its hybridization," in *Circuits and Systems, 1990., Proceedings of the 33rd Midwest Symposium on*, 1990, pp. 1091-1094 vol.2.
 - [56] M. D. Seeman, "A Design Methodology for Switched-Capacitor DC-DC Converters," Doutorado, Electrical Engineering and Computer Sciences University of California at Berkeley, 2009.
 - [57] Z. Fan, D. Lei, P. Fang Zheng, and Q. Zhaoming, "A New Design Method for High-Power High-Efficiency Switched-Capacitor DC-DC Converters," *Power Electronics, IEEE Transactions on*, vol. 23, pp. 832-840, 2008.
 - [58] R. A. Powell, "Two-capacitor problem: A more realistic view," *American Association of Physics Teachers*, 1978.
 - [59] A. K. Singal, "The Paradox of Two Charged Capacitors," *eprint arXiv:1309.5034*, 2013.
 - [60] K. M. a. M. Boufaïda, "Ideal Capacitors Circuits and Conservation," *Am. J. Phys.*, vol. 67, 1999.
 - [61] T. B. Boykin, D. Hite, and N. Singh, "The Two-Capacitor Problem with Radiation," *Am. J. Phys.*, vol. 72, pp. 415-420, 2002.
 - [62] T. C. Choy, "Capacitors can radiate: Further results for the two-capacitor problem," *Am. J. Phys.*, vol. 72, pp. 662-670, 2004.
 - [63] S. Ben-Yaakov, "Behavioral Average Modeling and Equivalent Circuit Simulation of Switched Capacitors Converters," *Power Electronics, IEEE Transactions on*, vol. 27, pp. 632-636, 2012.
 - [64] J. C. Rosas-Caro, J. M. Ramirez, and P. M. Garcia-Vite, "Novel DC-DC Multilevel Boost Converter," in *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, 2008, pp. 2146-2151.
 - [65] M. S. Ortmann, "Retificadores Multiníveis PWM com Célula de Comutação de Múltiplos Estados," Doutor, Programa de Pós-Graduação de Engenharia Elétrica, Universidade Federal de Santa Catarina, Florianópolis, Brasil, 2013.

- [66] A. D. B. Lange, "Retificador PFC monofásico PWM *Bridgeless* Três-níveis de Alto Desempenho," Mestrado, Programa de Pós-graduação em Engenharia Elétrica, Universidade Federal de Santa Catarina, Florianópolis, 2012.
- [67] F. H. Dupont, C. Rech, R. Gules, and J. R. Pinheiro, "Reduced-Order Model and Control Approach for the Boost Converter With a Voltage Multiplier Cell," *Power Electronics, IEEE Transactions on*, vol. 28, pp. 3395-3404, 2013.
- [68] U. Drofenik and J. W. Kolar, "A General Scheme for Calculating Switching- and Conduction-Losses of Power Semiconductors in Numerical Circuit Simulations of Power Electronic Systems," presented at the Proceedings of the International Power Electronics Conference (IPEC 2005), Niigata, Japan, 2005.
- [69] J. W. Kolar, F. Krismer, Y. Lobsiger, J. Muhlethaler, T. Nussbaumer, and J. Minibock, "Extreme efficiency power electronics," in *Integrated Power Electronics Systems (CIPS), 2012 7th International Conference on*, 2012, pp. 1-22.
- [70] M.-. 0077440A7. (2014). *Datasheet*. Available: <http://www.mag-inc.com/File%20Library/Product%20Datasheets/Powder%20Core/New%20Powder%20Cores/Toroids/438%20Size/0077440A7.pdf>
- [71] D. F. Cortez, "Inversor Trifásico Utilizando Célula de Comutação de Múltiplos Estados para Conexão de um Sistema Eólico à Rede Elétrica: Estudo, Projeto e Implementaçãop," Mestrado, Departamento de Engenharia Elétrica, Universidade Federal de Santa Catarina, Florianópolis, 2012.
- [72] F. A. B. Batista, "Modulação Vetorial Aplicada a Retificadores Trifásicos PWM Unidirecionais," Doutorado, Programa de Pós-graduação em engenharia elétrica, Universidade Federal de Santa Catarina, 2006.
- [73] I. Barbi, "Teoria Fundamental do motor de indução," in *Teoria Fundamental do motor de indução*, E. d. UFSC, Ed., ed Florianópolis, 1985.
- [74] J. W. Kolar and F. C. Zach, "A novel three-phase utility interface minimizing line current harmonics of high-power

telecommunications rectifier modules," *Industrial Electronics, IEEE Transactions on*, vol. 44, pp. 456-467, 1997.

A. Apêndice - Esquemáticos

